

Федеральное агентство по образованию

Государственное образовательное учреждение
высшего профессионального образования

**САНКТ-ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ
НИЗКОТЕМПЕРАТУРНЫХ И ПИЩЕВЫХ ТЕХНОЛОГИЙ**



А.В. Дорошков



**и компьютерное
моделирование
устройств
электроники**

Учебное пособие

*Допущено Научно-методическим советом
по электротехнике и электронике Министерства
образования и науки РФ в качестве учебного пособия
для студентов высших учебных заведений, обучающихся
по направлениям подготовки бакалавров –
220200 «Автоматизация и управление» и по направлениям
подготовки дипломированных специалистов –
220301 «Автоматизация технологических процессов
и производств пищевой промышленности»
по курсу «Общая электротехника и электроника»*

**Санкт-Петербург
2006**

УДК 621.3
ББК 31.2+32.85
Д 69

Дорошков А.В.

**Д 69 Теория и компьютерное моделирование устройств
электроники: Учеб. пособие. – СПб.: СПбГУНиПТ, 2006. –
131 с.**

ISBN 5-895656-134-8

Рассмотрены основные темы по электронике, изучаемые в соответствии с Государственным образовательным стандартом в курсе «Общая электротехника и электроника» студентами специальности 220301 и бакалаврами направления подготовки 220200. Каждая тема завершается проведением компьютерного лабораторного эксперимента, который способствует лучшему усвоению материала. Экспериментальные исследования выполняются с помощью пакета моделирующих программ *Electronics Workbench*.

Учебное пособие предназначено для студентов и бакалавров всех форм обучения.

УДК 621.3
ББК 31.2+32.85

Рецензенты

Кафедра теоретических основ электротехники Санкт-Петербургского государственного политехнического университета (зав. кафедрой доктор техн. наук, проф. В.Н. Боронин)

Доктор техн. наук, проф. Г.Г. Макаров (Федеральное государственное образовательное учреждение «Академия дополнительного профессионального образования – Учебный центр подготовки руководителей»)

Рекомендовано к изданию редакционно-издательским советом университета

ISBN 5-895656-134-8

© Санкт-Петербургский государственный
университет низкотемпературных
и пищевых технологий, 2006

© А.В. Дорошков, 2006

*75-летию Санкт-Петербургского
государственного университета
низкотемпературных
и пищевых технологий
посвящается*

ВВЕДЕНИЕ

Студенты специальности 220301 Автоматизация технологических процессов пищевой промышленности и бакалавры направления подготовки 220200 Автоматизация и управление изучают электронику в рамках курса «Общая электротехника и электроника». Ограниченность курса не позволяет рассмотреть все разнообразие электронных устройств и схем, использующихся в современных системах автоматизации, и подготовить студентов как разработчиков электронной аппаратуры.

Однако в этом курсе студенты знакомятся с возможностями современной электроники, изучают принцип действия, основные параметры и технико-экономические показатели типовых аналоговых и цифровых электронных схем и устройств. Это позволит им в будущем принимать правильные решения, связанные с внедрением электроники.

В настоящем учебном пособии рассмотрено семь тем, охватывающих в той или иной степени следующие области электроники:

- полупроводниковые приборы;
- нелинейные цепи с биполярными транзисторами;
- усилительные устройства переменного тока;
- операционные усилители;
- усилители постоянного тока и функциональные преобразователи на основе операционных усилителей;
- цифровые логические элементы;
- асинхронные, синхронные и динамические триггеры;
- двоичные счетчики импульсов.

Для лучшего усвоения материала каждая тема завершается модельным экспериментом при помощи пакета моделирующих программ *Electronics Workbench*. Объектом моделирования выступают

изучаемые электронные схемы и устройства. Нетребовательность к аппаратным ресурсам компьютера программы *Electronics Workbench* делает возможным проведение лабораторного модельного эксперимента не только в учебной лаборатории, но и дома уже при наличии компьютера типа Pentium II, что немаловажно.

Программа схемотехнического моделирования *Electronics Workbench* на сегодня является одной из перспективных. Имеющиеся в программе библиотеки включают в себя большой набор широко распространенных электронных компонентов: пассивные элементы, транзисторы, источники постоянного и переменного токов, ключи, гибридные элементы, индикаторы, цифровые и аналоговые элементы, ряд специальных схем. Есть возможность подключения и создания новых библиотек компонентов. Параметры компонентов можно изменять в широком диапазоне значений непосредственно с клавиатуры.

В программе имеется большой набор высокоточных приборов для проведения измерений: амперметр, вольтметр, двухлучевой осциллограф, мультиметр, графопостроитель частотных характеристик, функциональный генератор, генератор слов, логический анализатор и логический преобразователь.

Графические возможности *Electronics Workbench* позволяют экспортировать результаты исследований в текстовые документы в виде таблиц, рисунков, файлов. Это существенно уменьшает время, необходимое для выполнения экспериментов и создает условия для подготовки качественных отчетов.

Условные графические обозначения (УГО) некоторых элементов в программе *Electronics Workbench* отличаются от отечественных стандартов. Таблица соответствий УГО приведена в Приложении.

Большую помощь в проведении экспериментальных исследований усилительных каскадов на биполярных транзисторах и в оформлении материала оказали студенты третьего курса факультета техники пищевых производств Е.А. Снеговская и С.А. Бекетов, за что автор выражает им искреннюю признательность.

Автор считает приятным долгом принести также свою благодарность всем рецензентам, заведующей лабораторией Л.Б. Ромашкиной и старшему преподавателю И.А. Ерофеевой за ценные замечания, сделанные ими при редактировании и в процессе апробации настоящего учебного пособия.

Т е м а 1

ПРИНЦИП ДЕЙСТВИЯ И ХАРАКТЕРИСТИКИ БИПОЛЯРНЫХ ТРАНЗИСТОРОВ

Теоретические сведения

Биполярными транзисторами называются трехэлектродные полупроводниковые приборы с двумя pn -переходами. Переходы образуются за счет чередования областей различного типа проводимости.

В зависимости от структуры различают биполярные транзисторы pnp - и npn -типов (рис. 1.1, а и рис. 1.1, б). Средняя область называется базой, а две другие – эмиттером и коллектором. Эмиттер отличается от коллектора тем, что концентрация основных носителей в нем более чем в 1000 раз больше; pn -переход между эмиттером и базой называется эмиттерным, а между коллектором и базой – коллекторным.

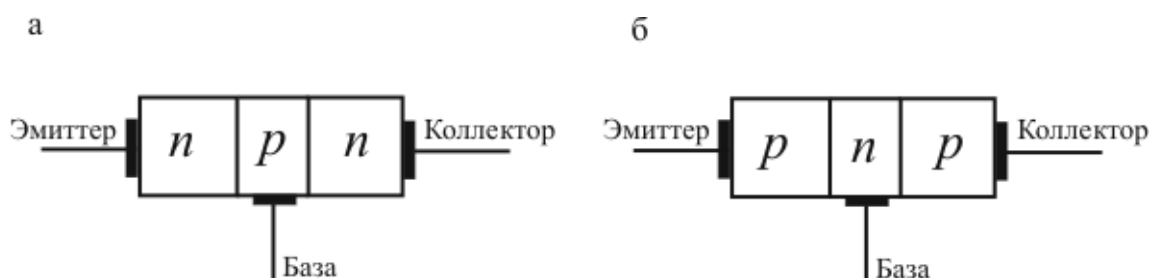


Рис. 1.1. Структуры биполярных транзисторов npn -типа (а) и pnp -типа (б)

Принцип работы транзисторов обоих типов одинаков. Различие состоит лишь в том, что в транзисторе npn -типа через базу к коллектору движутся электроны, инжектированные (впрыснутые) эмиттером, а в транзисторе pnp -типа – дырки. Коллектор и база транзистора npn -типа подключаются к положительным полюсам источников питания, а коллектор и база транзистора pnp -типа – к отрицательным (рис. 1.2). В условных графических обозначениях транзисторов эмиттер изображается в виде стрелки, которая указывает прямое направление тока эмиттерного перехода.

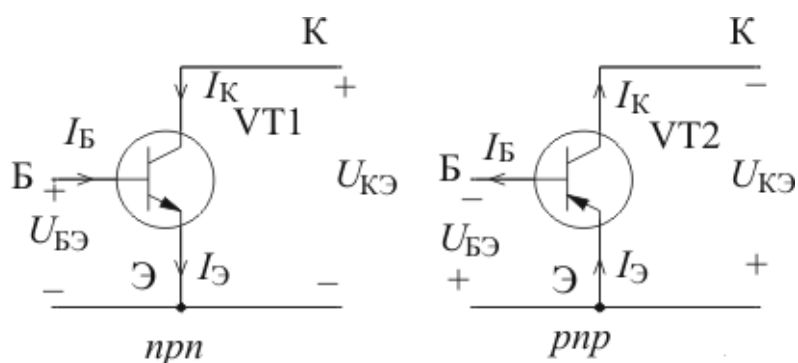


Рис. 1.2. Условные графические обозначения биполярных транзисторов и полярности напряжений между их выводами

В зависимости от того, какой из выводов транзистора является общим для входной и выходной цепей сигнала, существуют три основные схемы включения транзистора (рис. 1.3): с общим эмиттером (ОЭ), с общим коллектором (ОК), с общей базой (ОБ).

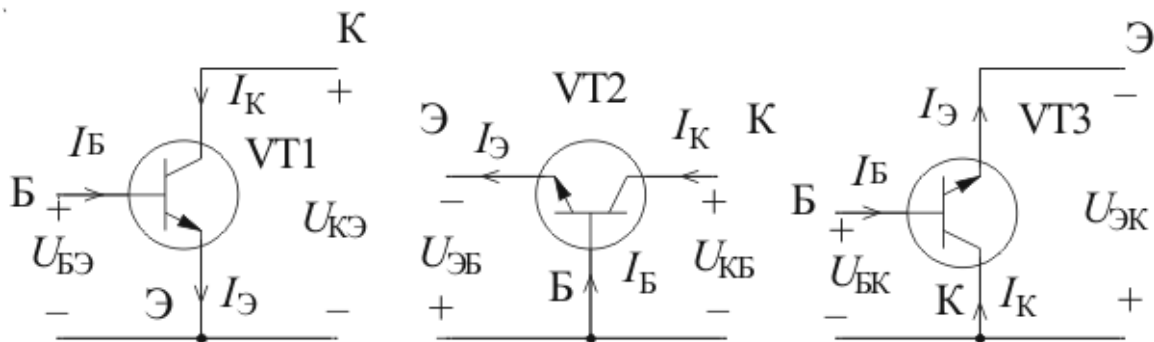


Рис. 1.3. Три схемы включения транзистора:
VT1 – общий эмиттер; VT2 – общая база; VT3 – общий коллектор

Принцип работы биполярного транзистора рассмотрим на примере транзистора *npn*-типа, включенного по схеме с общим эмиттером (рис. 1.4).

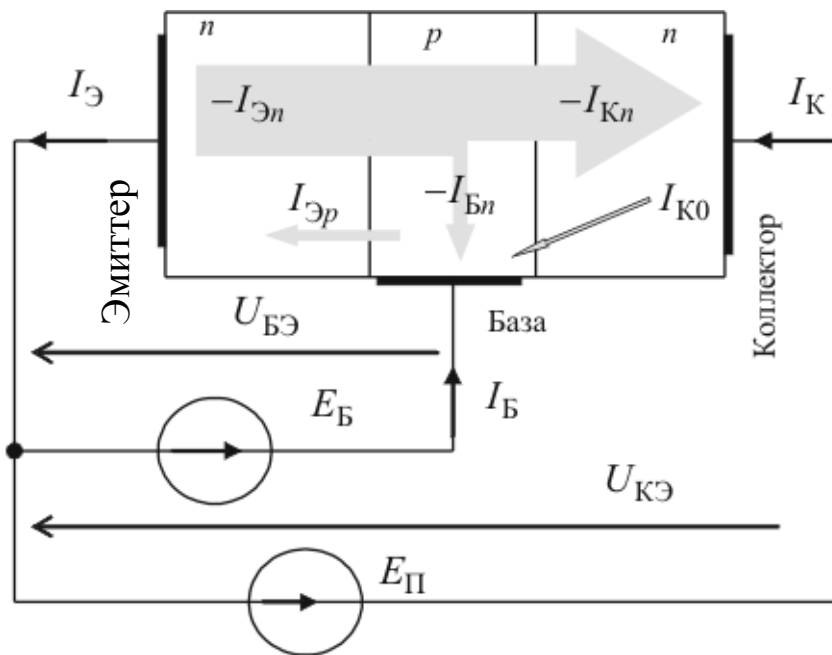


Рис. 1.4. Диаграмма составляющих токов в транзисторе *pnp*-типа

Эмиттерный переход внешним источником ЭДС E_B смещен в прямом направлении и это способствует инжекции основных носителей – электронов из эмиттера в базу, а дырок – из базы в эмиттер. Поток электронов образует электронную составляющую тока эмиттера $-I_{En}^*$, а поток дырок – дырочную составляющую тока эмиттера I_{Ep} . Концентрация электронов в эмиттере в десятки раз больше концентрации дырок в базе, поэтому дырочной составляющей тока эмиттера можно пренебречь и ток эмиттера будет равен

$$I_E = I_{En} + I_{Ep} \approx I_{En}.$$

Попавшие в базу электроны в результате диффузии перемещаются к коллекторному переходу. Из-за малой толщины базы только малая часть электронов рекомбинирует в ней с дырками. В результате рекомбинации создается основная (полезная) составляющая тока в цепи базы $I'_B = I_{Bn}$. Ток I_{Bn} намного меньше тока эмиттера I_E . Основная часть электронного потока эмиттера достигает коллекторного

* Так как направление тока определяется направлением движения положительных зарядов, здесь поставлен знак минус.

перехода. Положительное напряжение коллектора оказывает втягивающее действие на электроны. Они достигают коллектора и образуют полезную составляющую коллекторного тока $I'_K = I_{Kn} = \alpha I_{Эп}$. Коэффициент $\alpha = 0,97...0,998$ называют статическим коэффициентом передачи тока эмиттера. Другая составляющая тока коллектора I_{K0} является паразитной и образуется за счет движения коллекторных неосновных носителей (дырок) в базу, а базовых неосновных носителей (электронов) – в коллектор. Ток I_{K0} при комнатной температуре чрезвычайно мал, однако он существенно возрастает с увеличением температуры и поэтому его называют тепловым током коллектора или обратным током коллекторного перехода.

В соответствии с диаграммой токов на рис. 1.4. составляется система токовых уравнений для транзистора

$$\begin{cases} I_{Э} = I_K + I_B; \\ I_K = \alpha I_{Э} + I_{K0}; \\ I_B = (1 - \alpha) I_{Э} - I_{K0}. \end{cases}$$

При решении этой системы уравнений получается очень важная взаимосвязь тока коллектора и тока базы, отражающая усилительные свойства транзистора

$$I_K = \frac{\alpha}{(1 - \alpha)} I_B + I_{K0} = \beta I_B + I_{K0},$$

где $\beta = 30...500$ – статический коэффициент усиления тока базы в схеме с общим эмиттером*. Очевидно, что говорить об усилительных свойствах транзистора имеет смысл пока полезная составляющая тока коллектора существенно больше паразитной составляющей $\beta I_B \gg I_{K0}$.

Основными вольтамперными характеристиками (ВАХ) транзистора являются статические входная и выходная характеристики. За-

* В системе h -параметров транзисторов $\beta \approx h_{21э}$.

зависимость $I_B = f(U_{БЭ})$ при $U_{КЭ} = \text{const}$ называют входной, а зависимость $I_K = f(U_{КЭ})$ при $I_B = \text{const}$ – выходной статической ВАХ.

Вольтамперные характеристики снимают при различных постоянных значениях $U_{КЭ}$ и I_B . При этом получают семейства статических входных и выходных характеристик, которые представлены на рис. 1.5 а, б, в.

При $U_{КЭ} = 0$ оба перехода транзистора включены в прямом направлении и входная ВАХ подобна обычной характеристике полупроводникового диода, смещенного в прямом направлении. При подаче положительного коллекторного напряжения ($U_{КЭ} > 0$) характеристика смещается вправо, так как основная часть эмиттерного тока идет в коллектор и ток базы становится существенно меньше. В базокolleкторной цепи появляется ток $-I_{K0}$, направленный навстречу току I_B . Для компенсации этого тока в цепи базы нужно создать ток $I_B = I_{K0}$, приложив соответствующее напряжение $U_{БЭ}$. Это приводит к смещению входной характеристики вправо вниз.

На большей части выходных характеристик ток коллектора почти не зависит от напряжения $U_{КЭ}$. Это объясняется тем, что электрическое поле, создаваемое напряжением $U_{КЭ}$, практически полностью прикладывается к коллекторному переходу, как к участку, имеющему наибольшее сопротивление. В этой ситуации поле вне переходов отсутствует и электроны, создающие ток коллектора, двигаются через базу исключительно в результате диффузии, скорость которой постоянна. Спад коллекторного тока при малых напряжениях $U_{КЭ} < 1...1,2$ В обусловлен обратной инжекцией электронов из коллектора в базу, т. е. переходом транзистора в режим насыщения.

На семействе выходных ВАХ можно выделить 4 области (см. рис. 1.5, в): I – насыщения; II – отсечки; III – линейного усиления; IV – запредельных режимов.

При расчетах усилительных каскадов в режиме малого сигнала широко используется модель транзистора, как активного четырехполюсника с h -параметрами. Транзистор, включенный по схеме общий эмиттер, представляют в виде четырехполюсника рис. 1.6.

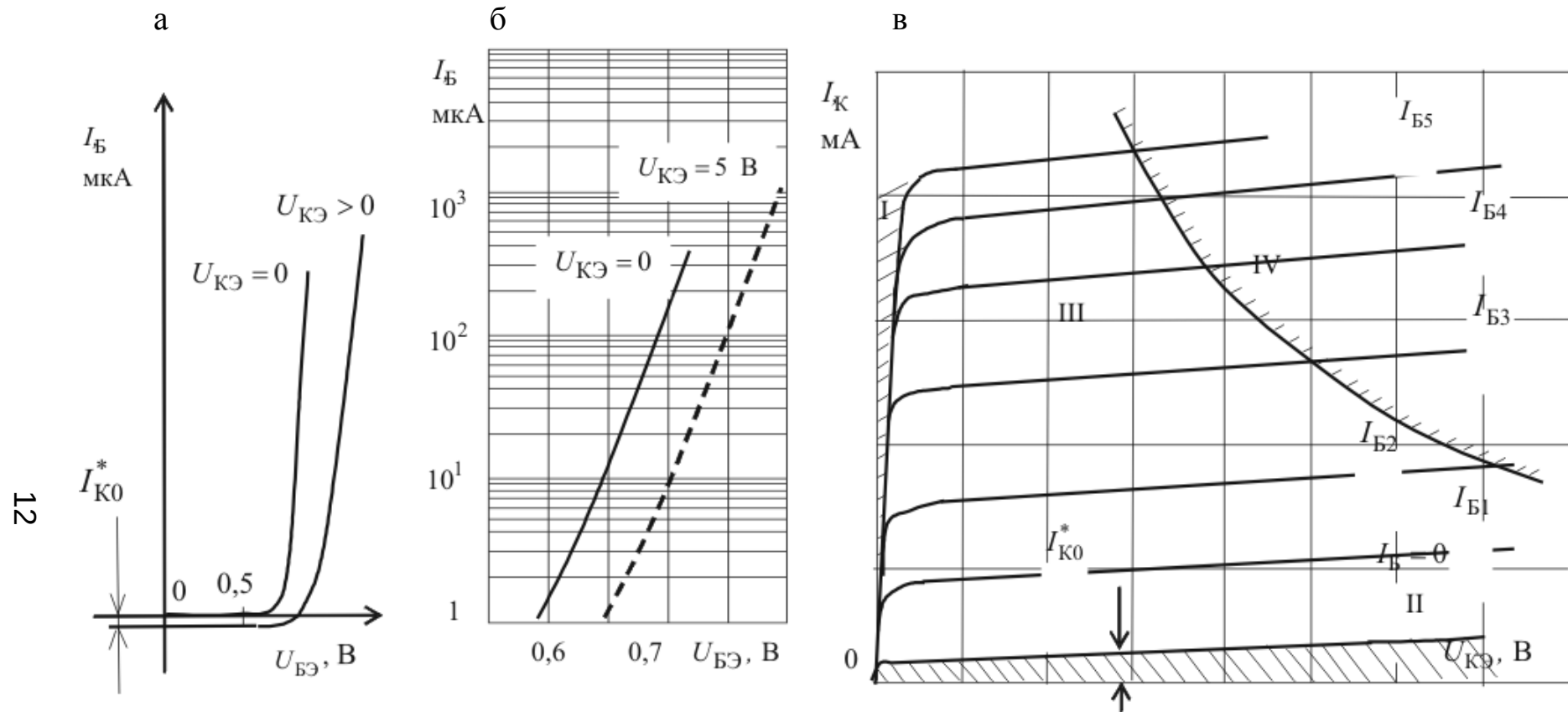


Рис. 1.5. Статические характеристики биполярного транзистора в схеме ОЭ:

а – входные в линейном масштабе; б – входные в полулогарифмическом масштабе; в – выходные;
 I – область насыщения; II – область отсечки; III – область линейного усиления; IV – область запредельных режимов

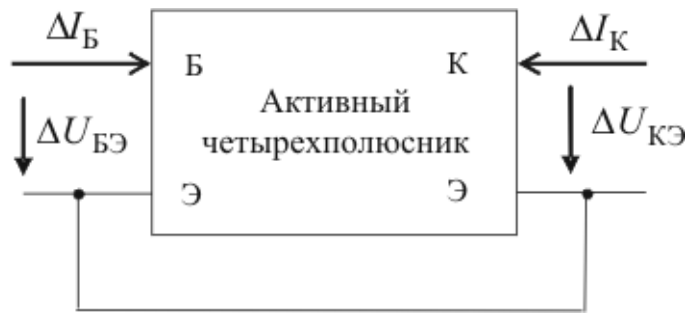


Рис. 1.6. Транзистор, включенный по схеме общий эмиттер, как активный четырехполюсник

Связь между входными ($\Delta U_{БЭ}$, $\Delta I_Б$) и выходными ($\Delta I_К$, $\Delta U_{КЭ}$) приращениями напряжений и токов четырехполюсника устанавливается системой двух уравнений с коэффициентами, которые называют h -параметрами транзистора, включенного по схеме общий эмиттер:

$$\begin{cases} \Delta U_{БЭ} = h_{11э} \Delta I_Б + h_{12э} \Delta U_{КЭ}; \\ \Delta I_К = h_{21э} \Delta I_Б + h_{22э} \Delta U_{КЭ}. \end{cases}$$

h -Параметры имеют следующий физический смысл для схемы с ОЭ:

$$h_{21э} = \frac{\Delta I_К}{\Delta I_Б} \quad \text{при } U_{КЭ} = \text{const} \quad - \text{ дифференциальный коэффициент усиления тока базы;}$$

$$h_{11э} = \frac{\Delta U_{БЭ}}{\Delta I_Б} \quad \text{при } U_{КЭ} = \text{const} \quad - \text{ входное дифференциальное}$$

сопротивление транзистора;

$$h_{22э} = \frac{\Delta I_К}{\Delta U_{КЭ}} \quad \text{при } I_Б = \text{const} \quad - \text{ выходная дифференциальная}$$

проводимость.

Для схемы с ОЭ входное сопротивление составляет единицы кОм, а выходная проводимость – от 10^{-4} до 10^{-5} См.

h -Параметры транзистора в рабочей точке A можно определить графическим путем.

Параметры $h_{11\Omega}$ находят по входной характеристике рис. 1.7.

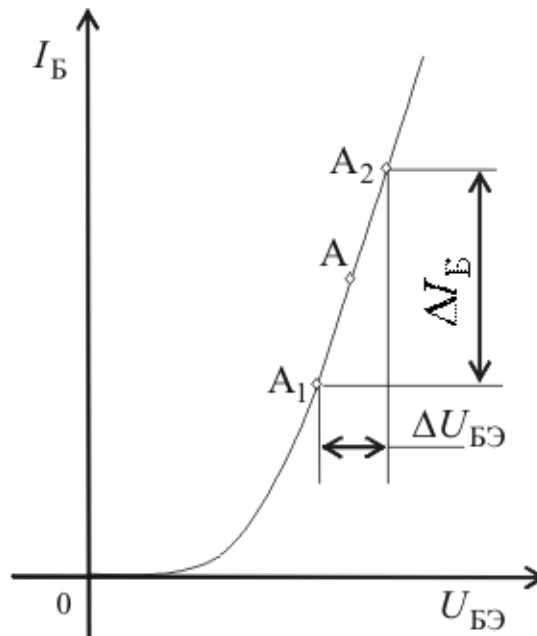


Рис. 1.7. Построения для определения $h_{11\Omega}$

На входной характеристике выбирают вблизи рабочей точки A две вспомогательные точки A_1 и A_2 (приблизительно на одинаковом расстоянии), находят приращения напряжения и тока базы и рассчитывают входное дифференциальное сопротивление $h_{11\Omega}$.

Параметры $h_{22\Omega}$ и $h_{21\Omega}$ определяются из семейства выходных характеристик транзистора рис. 1.8:

$$h_{21\Omega} = \beta = \frac{\Delta I_K}{\Delta I_B} = \frac{I_{K2} - I_{K1}}{I_{B2} - I_{B1}}; \quad h_{22\Omega} = \frac{\Delta I_K^*}{\Delta U_K^*} = \frac{I_{K2}^* - I_{K1}^*}{U_{K2} - U_{K1}}.$$

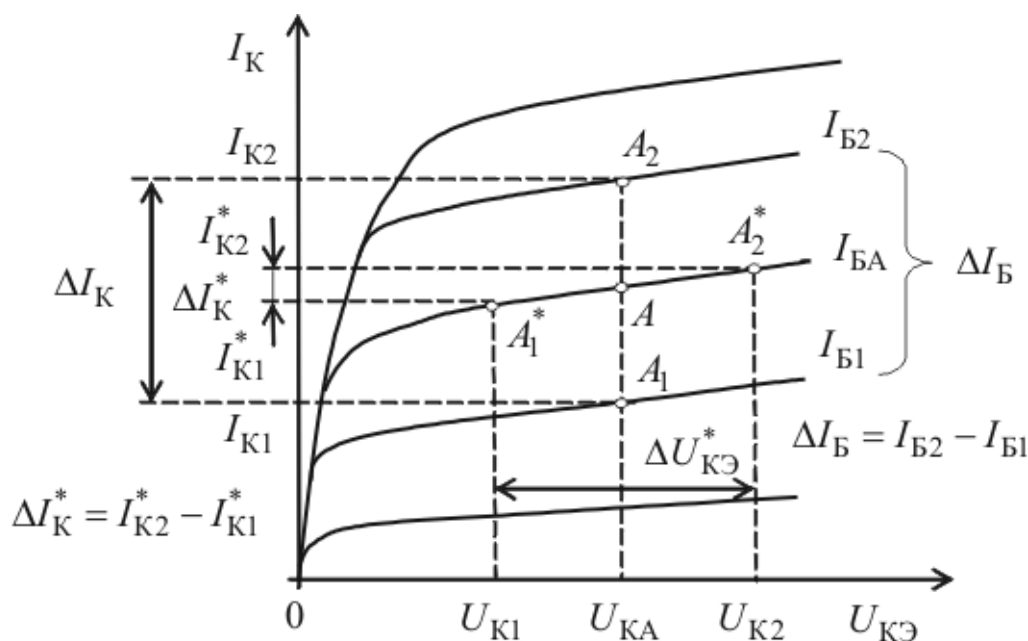


Рис. 1.8. Построения для определения $h_{22э}$ и $h_{21э}$

Модельный эксперимент

Цель работы

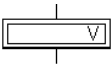
1. Изучить принцип действия и характеристики биполярных транзисторов.
2. Приобрести практические навыки по экспериментальному определению характеристик и параметров современных биполярных транзисторов, включенных по схеме общий эмиттер (ОЭ), с помощью пакета программ *Electronics Workbench*.
3. Экспериментально подтвердить теоретические знания, полученные на лекциях и самостоятельных занятиях по биполярным транзисторам.

Программное обеспечение, приборы и элементы

1. Пакет моделирующих программ *Electronics Workbench* v.5.12, работающих в среде операционной системы *Windows 98*, *Windows XP* или *Windows 2000*. Путь запуска программы *Electronics Workbench*: «рабочий стол *Windows*» → папка «Учебный процесс» → ярлык .

2. Биполярный транзистор *npn*-типа 2N2218. Путь выбора: группа компонентов транзисторов  *Transistors* →  *NPN Transistor*. Модель транзистора 2N2218 выбрать из библиотеки 2n во вкладке *Models* свойств транзистора (*NPN Transistor Properties*).

3. Источник базового тока I_B и источник напряжения питания $E_{П}$. Путь выбора: группа компонентов источников  *Sources* →  *DC Current Source* (источник тока) →  *Battery* (источник напряжения).

4. Вольтметры *PV1* и *PV2* . Путь выбора: группа компонентов индикаторных приборов  *Indicators* →  *Voltmeter*.

5. Заземление. Путь выбора: группа компонентов источников  *Sources* →  *Ground*.

6. Амперметры *PA1* и *PA2* . Путь выбора: группа компонентов индикаторных приборов  *Indicators* →  *Ammeter*.

Программа работы

1. Ознакомиться с теоретическими сведениями и инструкцией по использованию программы *Electronics Workbench v.5.12*.
2. Изучить схему лабораторной установки для снятия статических характеристик биполярного транзистора.
3. На рабочем поле программы *Electronics Workbench v.5.12* собрать схему и произвести модельный эксперимент.
4. Обработать результаты экспериментальных исследований, построить семейства входных и выходных ВАХ транзистора.
5. Рассчитать h -параметры транзистора ($h_{11э}$, $h_{22э}$, $h_{21э}$).

Порядок проведения работы

1. Исследование входной ВАХ биполярного транзистора.
 - 1.1. Собрать схему лабораторной установки, приведенную на рис. 1.9.
 - 1.2. Выбрать модель транзистора 2N2218 из библиотеки 2n во вкладке *Models* свойств транзистора (*NPN Transistor Properties*).

1.3. Во вкладке *Value* свойств вольтметров (*Voltmeter Properties*) установить режим измерения постоянного тока (*Mode: DC*) и задать внутреннее сопротивление вольтметра (*Resistance*) (R) = 100 МОм.

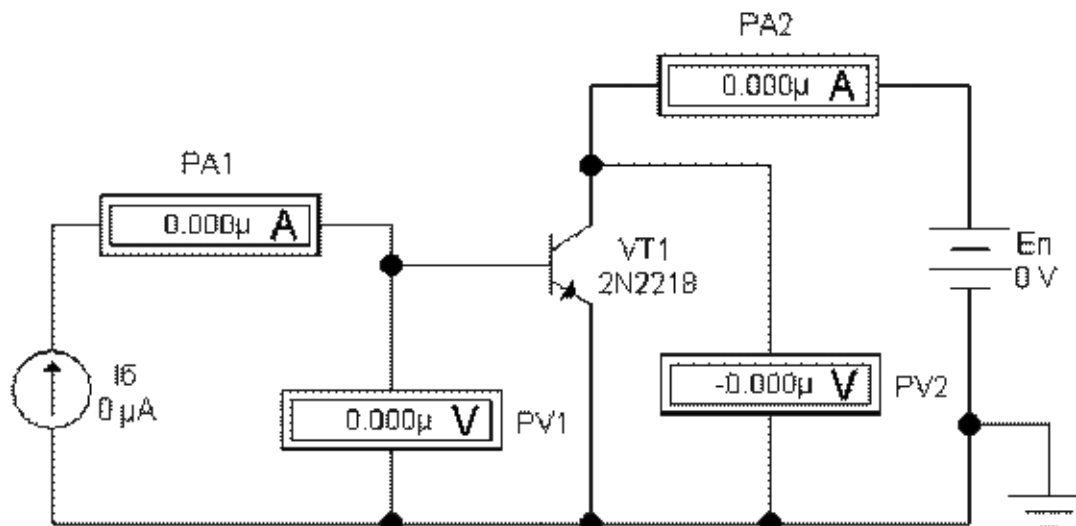


Рис. 1.9. Схема установки для исследования ВАХ биполярного транзистора

1.4. Во вкладке *Value* свойств амперметров (*Ammeter Properties*) установить режим измерения постоянного тока (*Mode: DC*) и задать внутреннее сопротивление амперметра (*Resistance*) (R) = 1 мОм.

1.5. Предъявить моделируемую установку для проверки инженеру и получить разрешение преподавателя на проведение эксперимента.

1.6. Включить лабораторную установку и, изменяя величину тока источника I_B от 1 до 1000 мкА в соответствии с данными табл. 1.1, измерить напряжение между базой и эмиттером $U_{БЭ}$ при двух значениях напряжения между коллектором и эмиттером ($U_{КЭ} = 0$ В и $U_{КЭ} = 5$ В). Результаты измерений занести в табл. 1.1.

1.7. Используя шаблон (рис. 1.10), построить в полулогарифмическом масштабе семейство входных ВАХ.

1.8. Рассчитать при токе базы $I_B = 50$ мкА для двух значений коллекторного напряжения входное сопротивление $R_{вхОЭ}$ транзистора при включении его по схеме с ОЭ, которое равно $h_{11э}$.

$$R_{\text{вхОЭ}}(U_{\text{К}} = 0 \text{ В}) = h_{11\text{э}}(U_{\text{К}} = 0 \text{ В}) = \frac{\Delta U_{\text{БЭ}}}{\Delta I_{\text{Б}}} ;$$

$$R_{\text{вхОЭ}}(U_{\text{К}} = 5 \text{ В}) = h_{11\text{э}}(U_{\text{К}} = 5 \text{ В}) = \frac{\Delta U_{\text{БЭ}}}{\Delta I_{\text{Б}}} .$$

Таблица 1.1

$I_{\text{Б}},$ мкА	0	1	3	10	30	100	300	1000
$U_{\text{БЭ}}, \text{ мВ}$ при $U_{\text{КЭ}} = 0 \text{ В}$								
$U_{\text{БЭ}}, \text{ мВ}$ при $U_{\text{КЭ}} = 5 \text{ В}$								

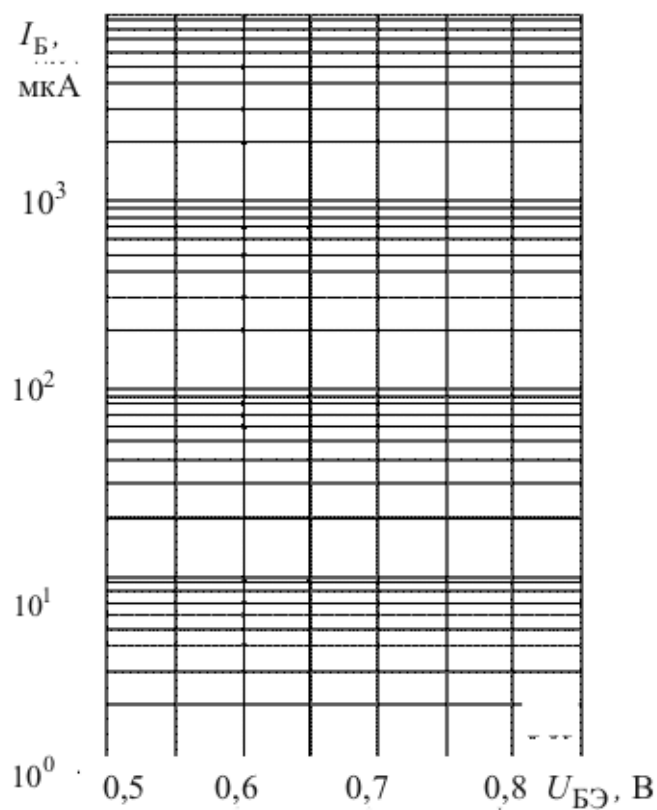


Рис. 1.10. Шаблон для построения входных ВАХ

2. Исследование статических выходных ВАХ биполярного транзистора.

В процессе эксперимента снимаются четыре ветви семейства выходных ВАХ при токах базы $I_B = 0; 50; 100$ и 150 мкА. Исследования выполняются на той же лабораторной установке и при тех же параметрах измерительных приборов, что и в предыдущем эксперименте.

2.1. Установить величину тока источника тока $I_B = 0$ и, изменяя величину напряжения источника E_{II} в соответствии с данными табл. 1.2, снять зависимость $I_K = f(U_{KЭ})$ при $I_B = 0$. Результаты измерений занести в табл. 1.2.

2.2. Повторить измерения по п. 2.1 при других токах базы (см. данные табл. 1.2).

2.3. По результатам измерений построить семейство выходных ВАХ транзистора при включении с ОЭ

$$I_K = f(U_{KЭ}) \text{ при } I_B = \text{const.}$$

2.4. Рассчитать значение выходного сопротивления транзистора при включении по схеме с ОЭ при $I_B = 100$ мкА и $U_{КА} = 5$ В

$$r_k = (h_{22Э})^{-1} = \frac{\Delta U_{KЭ}}{\Delta I_K} = \frac{U_{K2} - U_{K1}}{I_{K2}^* - I_{K1}^*}.$$

2.5. Рассчитать значение коэффициента усиления по току транзистора при включении по схеме с ОЭ при $U_{KЭ} = 5$ В и $I_B = 100$ мкА

$$\beta \approx h_{21Э} = \frac{\Delta I_K}{\Delta I_B} = \frac{I_{K2} - I_{K1}}{I_{B2} - I_{B1}}.$$

2.6. Выключить питание моделируемой схемы и закрыть файл без сохранения внесенных изменений (в выпадающем меню *File* выбрать *Revert to Saved...* и в возникшем окне диалога щелкнуть по клавише *OK*).

2.7. Закрыть программу *Electronics Workbench*.

2.8. Проанализировать полученные результаты и сделать выводы.

Таблица 1.2

I_B , мкА	$U_{KЭ}$, В	I_K , мА
0	0	
	1	
	2	
	5	
	10	
	15	
50	0	
	1	
	2	
	5	
	10	
	15	
100	0	
	1	
	2	
	5	
	10	
	15	
150	0	
	1	
	2	
	5	
	10	
	15	

Содержание отчета

1. Цель работы.
2. Программа работы.
3. Перечень используемых приборов и оборудования.
4. Электрические схемы для исследования параметров и характеристик транзисторов при включении по схеме с ОЭ.
5. Таблицы и графики с результатами экспериментальных исследований и расчетов.
6. Краткие выводы по работе.

Контрольные вопросы

При допуске к лабораторной работе:

1. Как на электрических принципиальных схемах обозначаются биполярные транзисторы различного типа проводимости?
2. Как называются выводы биполярного транзистора?
3. Как протекают токи в биполярных транзисторах *npn*- и *pnp*-типах?
4. Как взаимосвязаны токи коллектора, эмиттера и базы в биполярном транзисторе?
5. Как соотносятся токи в биполярном транзисторе (какой больше, а какой меньше)?
6. Как связан ток коллектора с током базы, если пренебречь обратным током переходов?
7. Что такое статический коэффициент передачи тока базы β в схеме ОЭ?
8. Что называется входной вольтамперной характеристикой биполярного транзистора (в схеме общий эмиттер)?
9. Что называется выходной вольтамперной характеристикой биполярного транзистора (в схеме общий эмиттер)?
10. Чему равен коэффициент передачи тока эмиттера α биполярного транзистора?
11. Что является основными носителями в полупроводнике *p*-типа, а что является неосновными носителями?
12. Что является основными носителями в полупроводнике *n*-типа, а что является неосновными носителями?

При защите лабораторной работы необходимо уметь ответить на все вопросы допуска и, кроме того:

1. Как связан ток эмиттера с током базы, если пренебречь обратным током переходов?

2. Объяснить методику и схему измерения входной ВАХ биполярного транзистора с помощью амперметра и вольтметра.

3. Объяснить методику и схему измерения выходных ВАХ биполярного транзистора с помощью амперметра и вольтметра.

4. Как по семейству выходных характеристик биполярного транзистора, включённого по схеме общий эмиттер (ОЭ), определить величину выходного сопротивления r_k ?

5. Как на семействе выходных вольтамперных характеристик определить области отсечки, насыщения и линейного режима биполярного транзистора, включённого по схеме общий эмиттер (ОЭ)?

6. Как изменяются выходные вольтамперные характеристики биполярных транзисторов с увеличением температуры?

7. Как изменяется обратный ток биполярного транзистора с увеличением температуры?

8. Чему равен ток коллектора при оборванном эмиттере биполярного транзистора?

9. Чему равен ток коллектора при оборванной базе биполярного транзистора?

10. Как связан ток коллектора с током базы и обратным током коллекторно-базового перехода биполярного транзистора?

11. Из-за чего ограничена максимальная рабочая температура биполярного транзистора?

12. Как по входным ВАХ определить входное сопротивление $R_{вхэ}$ биполярного транзистора, включенного по схеме с ОЭ.

13. Как по семейству выходных характеристик биполярного транзистора по схеме с ОЭ определить дифференциальный коэффициент усиления тока базы $h_{21э}$?

14. Перечислить статические h -параметры транзистора и объяснить их физический смысл.

Т е м а 2

РЕЖИМЫ РАБОТЫ УСИЛИТЕЛЬНЫХ КАСКАДОВ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

Теоретические сведения

Биполярный транзистор может служить усилителем электрических сигналов переменного тока только при определенном задании его режима работы по постоянному току. Однозначно режим работы по постоянному току определяется парой величин – током покоя коллектора I_{oK} и напряжением покоя (напряжением между коллектором и эмиттером транзистора) U_{oK} . Они, в свою очередь, зависят от тока покоя базы I_{oB} , от напряжения покоя между базой и эмиттером U_{oB} , коэффициента усиления тока базы β , величины напряжения источника питания E_{II} и величины коллекторного сопротивления R_K .

Необходимый режим работы транзистора по постоянному току достаточно просто и наглядно определяется в результате исследования его проходной характеристики, т. е. зависимости $U_{KЭ} = f(U_{БЭ})$.

Рассмотрим транзисторный усилительный каскад по схеме с общим эмиттером (рис. 2.1). В базовую цепь транзистора включены последовательно два источника напряжения – E_{CM} и E_C . Источник E_{CM} является источником постоянного напряжения (назовем его источником смещения). Источник E_C является источником переменного напряжения $e(t) = E_m \sin \omega t$ – сигнала, подлежащего усилению.

Проходная характеристика транзистора (рис. 2.2) получается при $e(t) = 0$.

Для проходной характеристики транзистора характерны три области: область отсечки; линейного усиления и насыщения.

В области отсечки (в полностью закрытом состоянии) транзистор находится при $0 < U_{БЭ} \leq U_{B_{min}}$. Ток коллектора $I_K \approx 0$ и не зависит от тока базы I_B . Изменения в небольших пределах величины напряжения $U_{БЭ}$ здесь не приводят к изменениям выходного напряжения $U_{KЭ}$ и, следовательно, не происходит усиление входного сигнала.

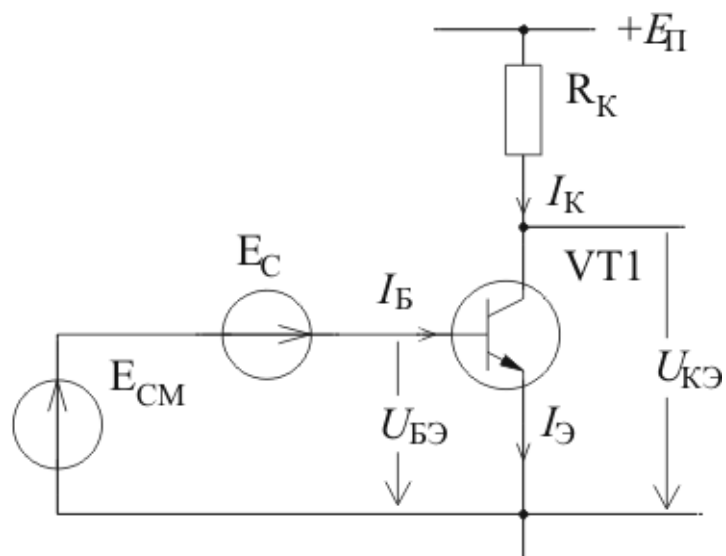


Рис. 2.1. Усилительный каскад по схеме общий эмиттер

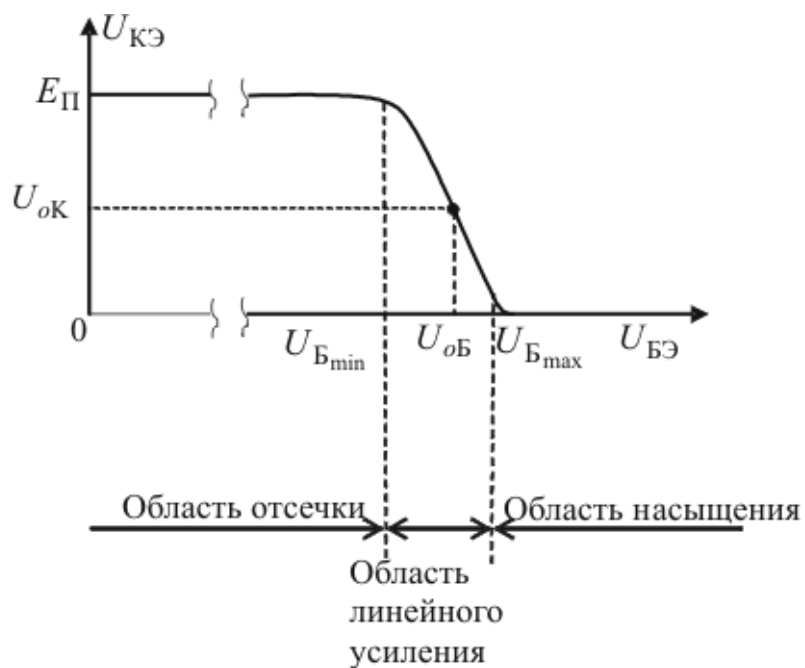


Рис. 2.2. Проходная характеристика каскада на биполярном транзисторе

При $U_{БЭ} > U_{Б\max}$ транзистор находится в состоянии насыщения (в полностью открытом состоянии) и его эмиттерный и коллекторный переходы включены в прямом направлении. Ток насыщения коллектора не зависит от тока базы и определяется как

$$I_{KH} \approx \frac{E_{\Pi}}{R_K}.$$

В состоянии насыщения изменение входного напряжения не приводит к изменению выходного, т.е. усиление сигнала не происходит.

При $U_{B_{\min}} < U_{BЭ} < U_{B_{\max}}$ транзистор находится в области линейного усиления. Изменение в небольших пределах величины напряжения $U_{BЭ}$ здесь приводит к сильному изменению выходного напряжения $U_{КЭ}$ и, следовательно, происходит усиление входного сигнала. Только для этой области справедливы следующие соотношения

$$I_K = \beta I_B;$$

$$I_Э = (\beta + 1)I_B,$$

где $\beta \gg 1$ – коэффициент усиления тока базы.

Линейная область проходной характеристики достаточно мала. Если $U_{B_{\min}} = 0,5 \dots 0,8$ В для кремниевых транзисторов, то $U_{B_{\max}} - U_{B_{\min}} \leq 0,15 \dots 0,2$ В.

Из анализа проходной характеристики видно, что для реализации усилительных свойств транзистора между его базой и эмиттером, наряду с усиливаемым сигналом $E_C(t) = E_m \sin \omega t$, необходимо прикладывать напряжение смещения $E_{CM} = U_{об}$, т. е. постоянную составляющую.

В зависимости от величины постоянной составляющей входного сигнала E_{CM} различают несколько режимов работы:

1. Режим класса А

В случае, когда $E_{CM} = E_{CM_{\text{оптим}}} = 0,5(U_{B_{\max}} + U_{B_{\min}})$, достигается максимальный коэффициент усиления по напряжению, и получается минимальное искажение формы сигнала. Важно, что выходное напряжение относительно входного сдвинуто по фазе на 180° . То есть, усилительный каскад с общим эмиттером инвертирует выходной сигнал (рис. 2.3).

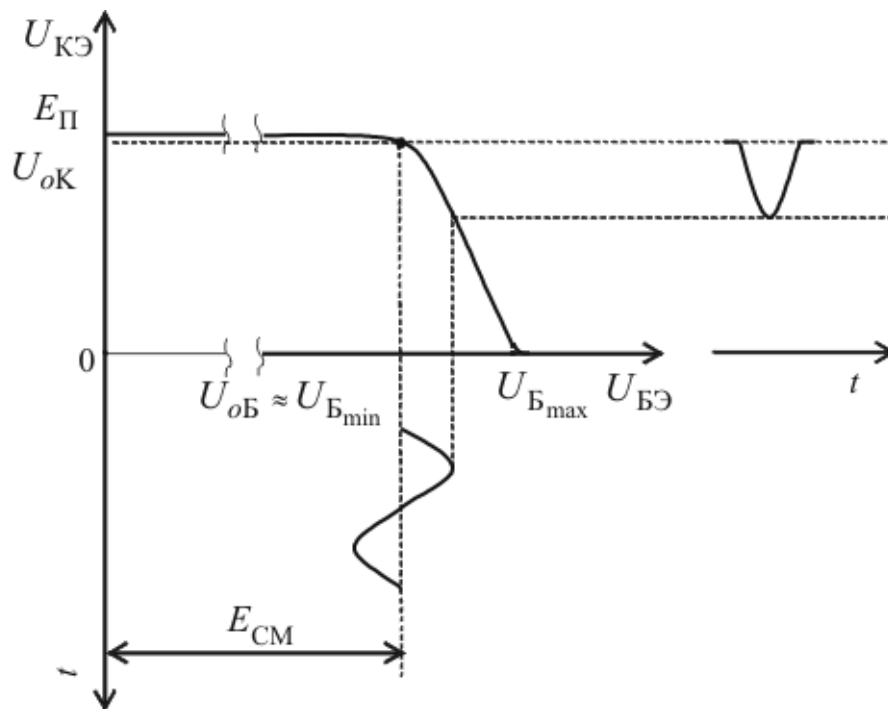


Рис. 2.4. Работа транзистора в режиме класса В

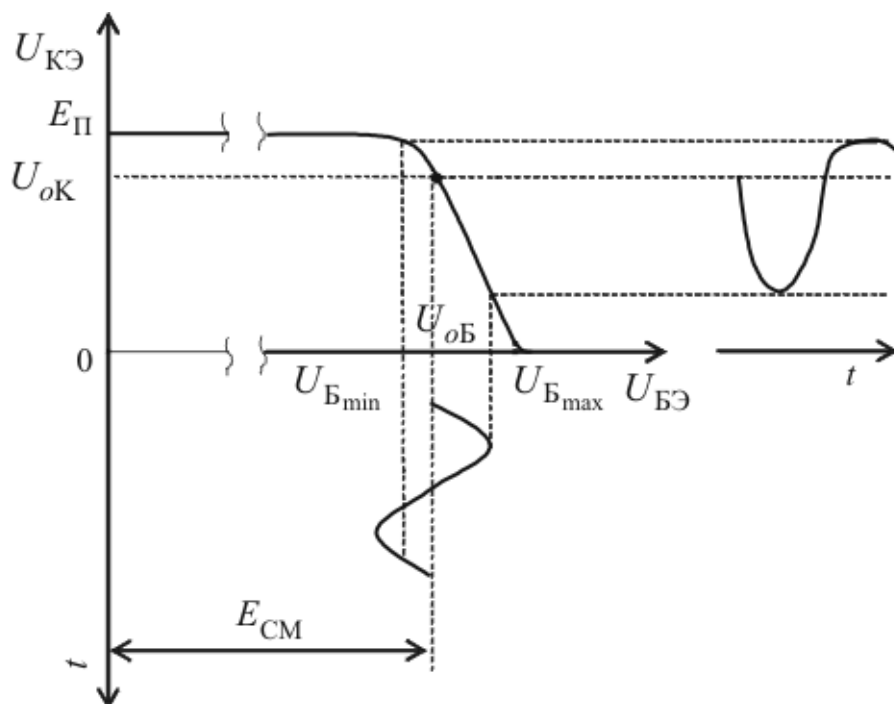


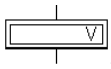
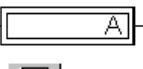
Рис. 2.5. Работа транзистора в режиме класса АВ

Модельный эксперимент

Цель работы

1. Исследование проходной характеристики усилительного каскада по схеме общий эмиттер (ОЭ).
2. Определение условий работы транзистора в режимах класса А и АВ.
3. Исследование работы транзисторного каскада в режимах класса А и АВ.
4. Определение коэффициента усиления каскада с ОЭ по напряжению в режиме класса А.
5. Закрепление теоретических знаний, полученных на лекциях и самостоятельных занятиях.

Программное обеспечение, приборы и элементы

1. Пакет моделирующих программ *Electronics Workbench v.5.12*, работающих в среде операционной системы *Windows 98*, *Windows XP* или *Windows 2000*. Путь запуска программы *Electronics Workbench*: «рабочий стол *Windows*» → папка «Учебный процесс» → ярлык .
2. Транзистор $VT1$ . Путь выбора: группа компонентов транзисторов  *Transistors* →  *NPN Transistor*.
3. Резистор R_K . Путь выбора: группа базовых компонентов  *Basic* →  *Resistor*.
4. Источники питания E_{CM} и $E_{П}$ . Путь выбора: группа компонентов источников  *Sources* →  *Battery*.
5. Заземление. Путь выбора: группа компонентов источников  *Sources* →  *Ground*.
6. Вольтметры $PV1$ и $PV2$ . Путь выбора: группа компонентов индикаторные приборы  *Indicators* →  *Voltmeter*.
7. Амперметры $PA1$ и $PA2$ . Путь выбора: группа компонентов индикаторные приборы  *Indicators* →  *Ammeter*.

8. Осциллограф . Путь выбора: группа компонентов инструменты  *Instruments* →  *Oscilloscope*.

9. Источник переменного напряжения E_C . Путь выбора: группа компонентов источников  *Sources* →  *AC Voltage Source*.

Программа работы

1. Ознакомиться с теоретическими сведениями и инструкцией по использованию программы *Electronics Workbench v.5.12*.

2. Изучить подлежащие исследованию схемы усилительного каскада на биполярном транзисторе.

3. На рабочем поле программы *Electronics Workbench v.5.12* собрать схему и произвести исследование проходной характеристики усилительного каскада по схеме ОЭ.

4. На рабочем поле программы *Electronics Workbench v.5.12* собрать схему и произвести исследование режимов работы усилительного каскада на биполярном транзисторе.

Порядок проведения работы

1. Исследование проходной характеристики усилительного каскада по схеме ОЭ.

1.1. Собрать схему лабораторной установки, приведенную на рис. 2.6. и предъявить ее для проверки инженеру.

Значение сопротивления на коллекторе R_K взять в зависимости от номера бригады из табл. 2.1.

Таблица 2.1

Номер бригады	1	2	3	4	5	6	7	8	9	10
R_K , кОм	1,8	1,6	1,7	1,9	2	2,3	2,2	2,1	2,4	2,5

Модель транзистора 2N2712 выбрать из библиотеки *nationl2* во вкладке *Models* свойств транзистора (*NPN Transistor Properties*).

Во вкладке *Value* свойств вольтметров (*Voltmeter Properties*) установить режим измерения постоянного тока (*Mode: DC*) и задать внутреннее сопротивление вольтметра (*Resistance*) (R)=100 МОм.

Во вкладке *Value* свойств амперметров (*Ammeter Properties*) установить режим измерения постоянного тока (*Mode: DC*) и задать внутреннее сопротивление амперметра (*Resistance*) (R) = 1 мОм.

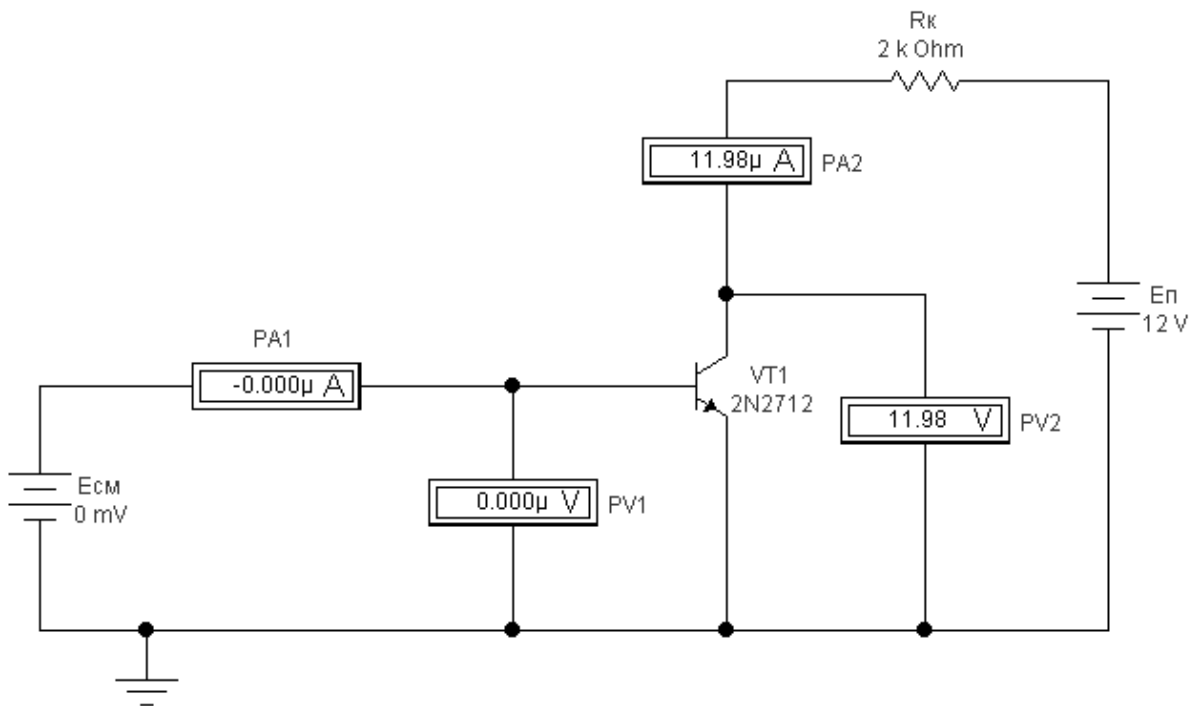


Рис. 2.6. Схема установки для исследования проходной характеристики

1.2. Включить лабораторную установку и, изменяя величину напряжения источника смещения $E_{\text{см}}$ от 0 до 850 мВ в соответствии с данными табл. 2.2, измерить:

- ток базы $I_{\text{Б}}$;
- напряжение между базой и эмиттером $U_{\text{БЭ}}$;
- ток коллектора $I_{\text{К}}$;
- напряжение между коллектором и эмиттером $U_{\text{КЭ}}$.

Результаты измерений занести в табл. 2.2.

Таблица 2.2

E_{CM} мВ	0	500	700	720	740	760	770	780	790	800	810	820	830	850
I_B мкА														
$U_{БЭ}$ мВ														
I_K мА														
$U_{КЭ}$ В														
β														

1.3. Построить расположенные друг под другом по вертикали графики зависимостей (рис. 2.7):

- $I_B = f(U_{БЭ})$ – входную характеристику транзистора, включенного по схеме общий эмиттер;
- $I_K = f(U_{БЭ})$;
- $U_{КЭ} = f(U_{БЭ})$ – проходную или передаточную характеристику транзистора, включенного по схеме общий эмиттер.

1.4. По графику проходной характеристики определить и занести в табл. 2.3:

- нижнюю $U_{B_{min}}$ и верхнюю $U_{B_{max}}$ границы линейного участка*;
- оптимальное значение напряжения смещения для режима класса А

$$E_{CM_{оптим}} = U_{оБ} = 0,5(U_{B_{max}} + U_{B_{min}}),$$

и найти соответствующие ему ток покоя коллектора $I_{оК}$ и напряжение покоя $U_{оК}$.

* Нижнюю границу линейного участка следует определять по уровню $0,9U_{КЭ_{max}}$.

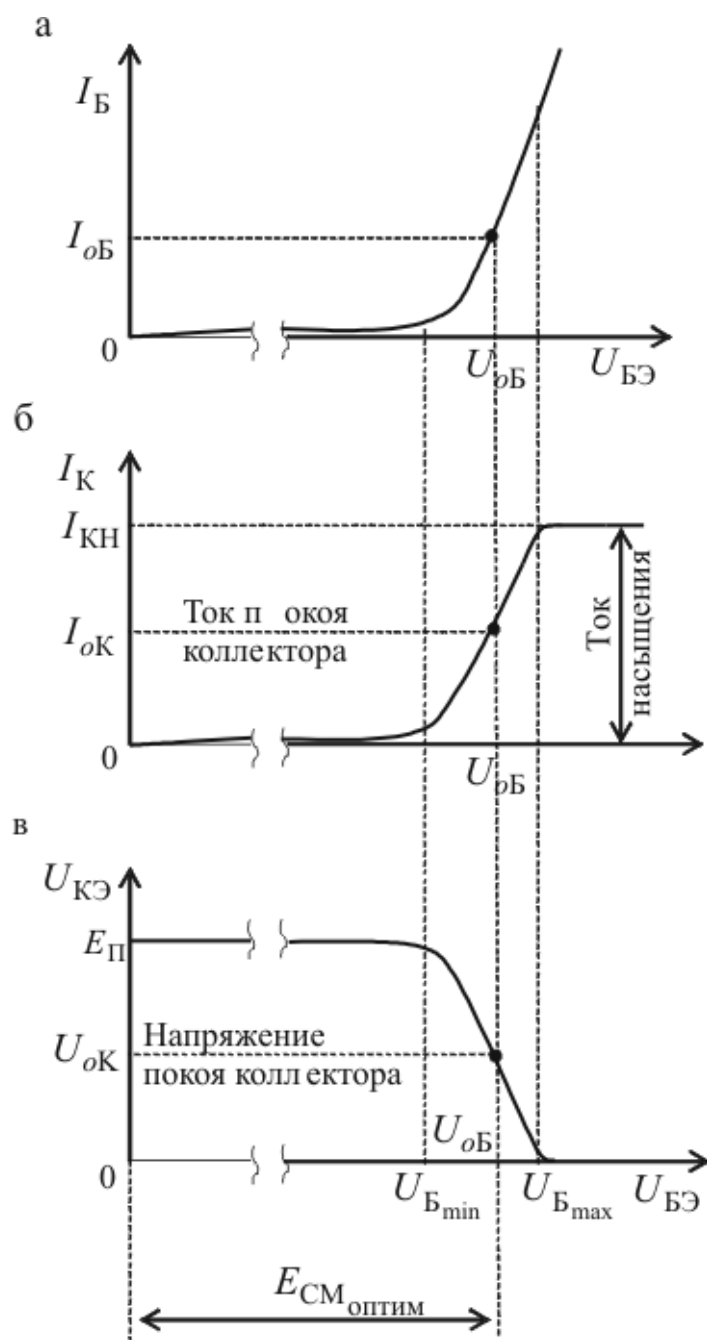


Рис. 2.7. Основные характеристики каскада с общим эмиттером на биполярном транзисторе:

а – входная характеристика; б – зависимость тока коллектора от напряжения между базой и эмиттером; в – проходная характеристика каскада

1.5. Рассчитать величину статического коэффициента усиления тока базы на линейном участке проходной характеристики и данные занести в табл. 2.2.

$$\beta = \frac{I_K}{I_B}.$$

1.6. Определить из графика (рис. 2.7, в) максимальную амплитуду переменной составляющей входного напряжения $U_{Bm}^{\max}$ и соответствующую ей амплитуду переменной составляющей напряжения на коллекторе $U_{Km}^{\max}$, которые получаются при оптимальном напряжении смещения $E_{CM_{\text{оптим}}}$. Результаты занести в табл. 2.3.

Таблица 2.3

$U_{B_{\min}}$	$U_{B_{\max}}$	U_{oB}	I_{oK}	U_{oK}	$U_{Bm}^{\max}$	$U_{Km}^{\max}$

2. Исследование режимов работы усилительного каскада на биполярном транзисторе

Режим класса А

2.1. Собрать лабораторную установку рис. 2.8. Установить частоту источника переменного сигнала $f = 600$ Гц; напряжение $U_C = 10$ мВ; $E_{CM} = E_{CM_{\text{оптим}}}$. Настроить осциллограф, как показано на рис. 2.9.

2.2. Получить разрешение на включение лабораторной установки у инженера и снять осциллограммы напряжений при работе транзистора в режиме класса А. Определить двойной размах входного и выходного сигналов при помощи осциллографа и рассчитать коэффициент усиления каскада по напряжению:

$$K_U = \frac{U_{Km}}{U_{Bm}}.$$

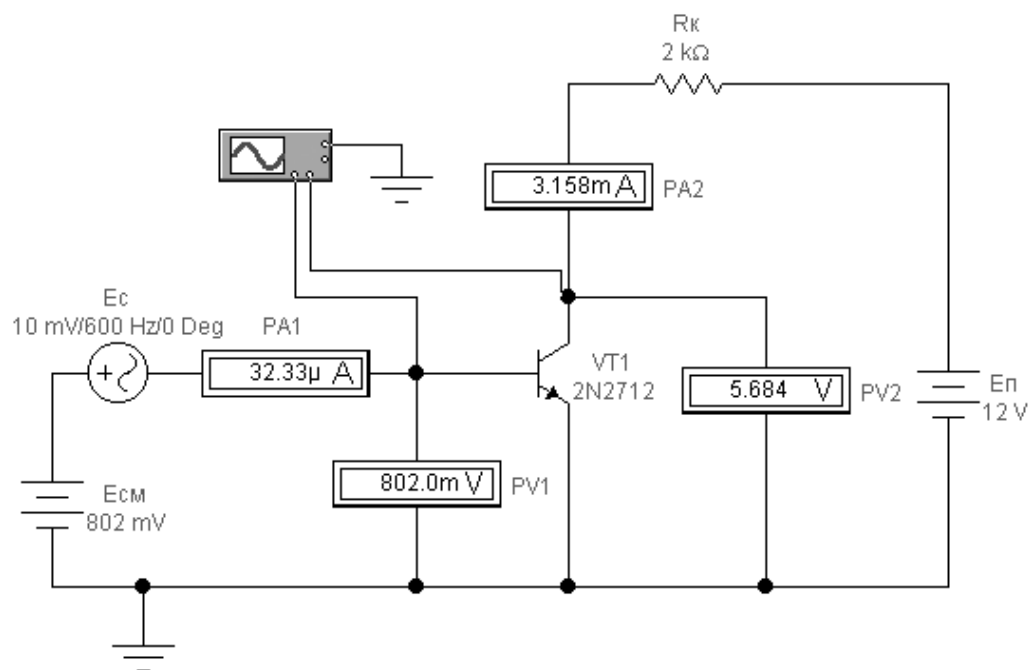


Рис. 2.8. Схема установки для исследования режимов работы усилительного каскада

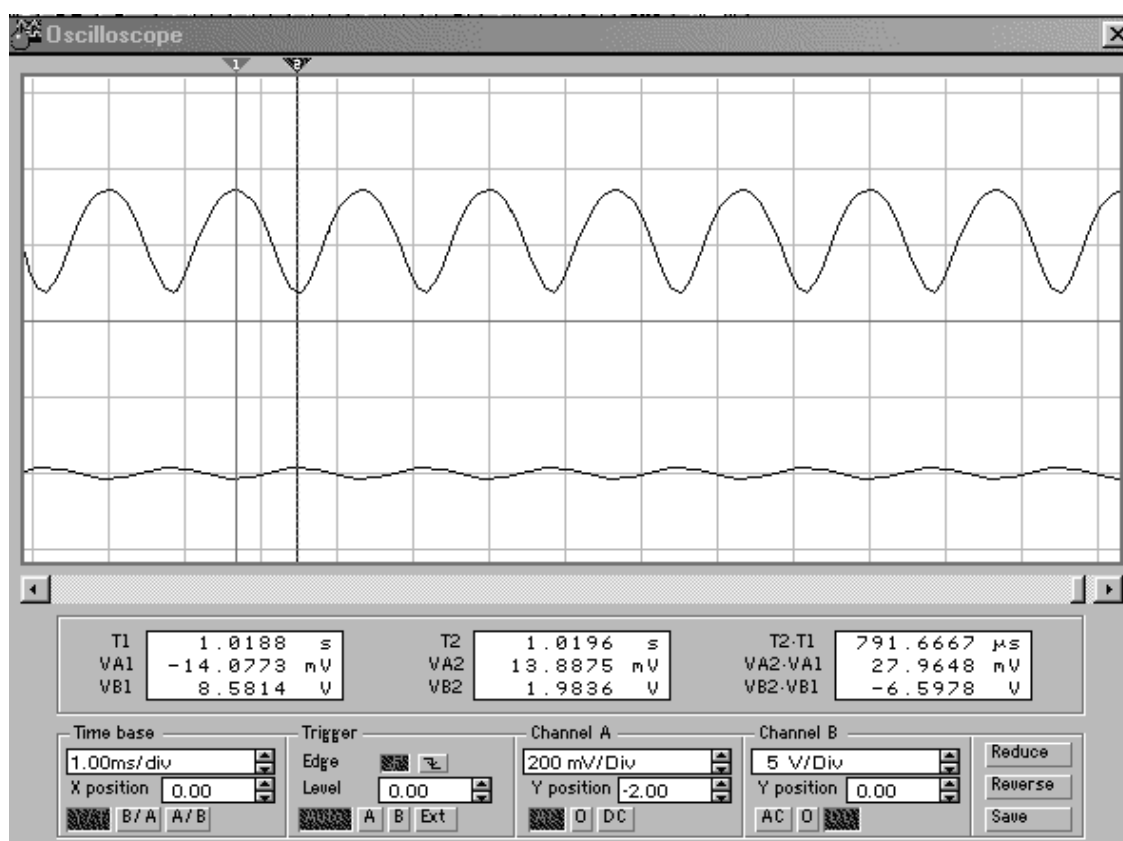


Рис. 2.9. Осциллограмма напряжений на коллекторе (вверху) и на базе (внизу) транзистора

Режим класса АВ

2.3. В лабораторной установке рис. 2.8 установить частоту источника переменного сигнала $f = 600$ Гц; напряжение $U_C = 0$; $E_{CM} = U_{B_{min}}$. Настройки осциллографа оставить без изменения. Получить разрешение на включение лабораторной установки у инженера и изменяя величину напряжения смещения добиться тока покоя коллектора приблизительно в 10 раз меньше тока насыщения коллектора ($I_{oK} = 0,1I_{KH}$).

2.4. Установить напряжение источника сигнала $U_C = 45$ мВ и снять осциллограммы напряжений при работе транзистора в режиме класса АВ. Определить коэффициент усиления амплитуды положительной полуволны входного напряжения.

Содержание отчета

1. Цель работы.
2. Программа работы.
3. Принципиальные электрические схемы всех лабораторных установок.
4. Временные диаграммы и таблицы с экспериментальными данными.
5. Краткие выводы по работе.

Контрольные вопросы

При допуске к лабораторной работе:

1. Какова цель и программа работы?
2. Как на электрических схемах обозначаются биполярные транзисторы *npn*-типа?
3. Как на электрических схемах обозначаются биполярные транзисторы *pnp*-типа?
4. Как взаимосвязаны токи коллектора I_K , эмиттера I_E и базы I_B в биполярном транзисторе?
5. Как связан ток коллектора I_K с током базы I_B , если пренебречь обратным током коллекторного перехода?
6. Что такое коэффициент передачи тока базы β в схеме ОЭ?

7. Что является основными носителями в полупроводнике n -типа, а что является неосновными носителями?

8. Что является основными носителями в полупроводнике p -типа, а что является неосновными носителями?

9. Как связан ток коллектора I_K с током базы I_B и обратным током I_{0K} коллектора базового перехода биполярного транзистора?

10. Что называется входной вольтамперной характеристикой биполярного транзистора (в схеме ОЭ)?

11. Что называется проходной характеристикой транзистора?

12. Что представляет собой состояние отсечки транзистора?

13. Что представляет собой состояние насыщения транзистора?

При защите лабораторной работы необходимо знать ответы на все вышеприведенные вопросы и, кроме того, необходимо знать ответы на следующие вопросы:

1. Почему для реализации усилителя переменного тока наряду с полезным сигналом необходимо подавать напряжение смещения?

2. При каком напряжении между базой и эмиттером кремниевый nnp -транзистор находится в открытом состоянии (примерно)?

3. Как выбирается режим работы транзистора по постоянному току?

4. При каких условиях транзистор работает в режиме класса А?

5. При каких условиях транзистор работает в режиме класса В?

6. При каких условиях транзистор работает в режиме класса АВ?

7. От чего зависит коллекторный ток насыщения транзистора?

8. Как влияет величина источника питания E_{II} на проходную характеристику транзистора?

9. Как влияет величина коллекторного сопротивления R_K на коэффициент усиления транзистора?

Т е м а 3

ЗАДАНИЕ РЕЖИМОВ РАБОТЫ УСИЛИТЕЛЬНЫХ КАСКАДОВ ПЕРЕМЕННОГО ТОКА НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ

Теоретические сведения

Надлежащая работа усилительного каскада переменного тока на биполярном транзисторе возможна только при правильно выбранном режиме работы его транзистора по постоянному току.

Режим работы транзистора по постоянному току определяется парой величин – током покоя коллектора I_{oK} и напряжением покоя коллектора U_{oK} , т. е. напряжением между коллектором и эмиттером. Ток и напряжение покоя не должны сильно изменяться при изменениях температуры окружающей среды, т.е. должна обеспечиваться термостабильность каскада.

На рис. 3.1 – 3.4 приведены четыре схемы усилительных каскадов переменного тока с общим эмиттером (ОЭ), в которых режим работы транзистора по постоянному току задан различными способами. Соответственно способу задания и получили название эти схемы:

- усилительный каскад с ОЭ и фиксированным потенциалом базы (рис. 3.1);

- усилительный каскад с ОЭ и фиксированным током базы (рис. 3.2);

- усилительный каскад с ОЭ и отрицательной обратной связью по напряжению (рис. 3.3);

- усилительный каскад с ОЭ и отрицательной обратной связью по току (рис. 3.4).

Всем приведенным схемам свойственна одна общая закономерность – между базой и эмиттером их транзисторов создается напряжение вида:

$$U_{БЭ}(t) = U_{oБ} + U_{ВХ-}(t), \quad (3.1)$$

где $U_{oБ}$ – напряжение смещения (составляет 0,5...0,8 В, в зависимости от типа транзистора); $U_{ВХ-}(t)$ – переменный входной сигнал.

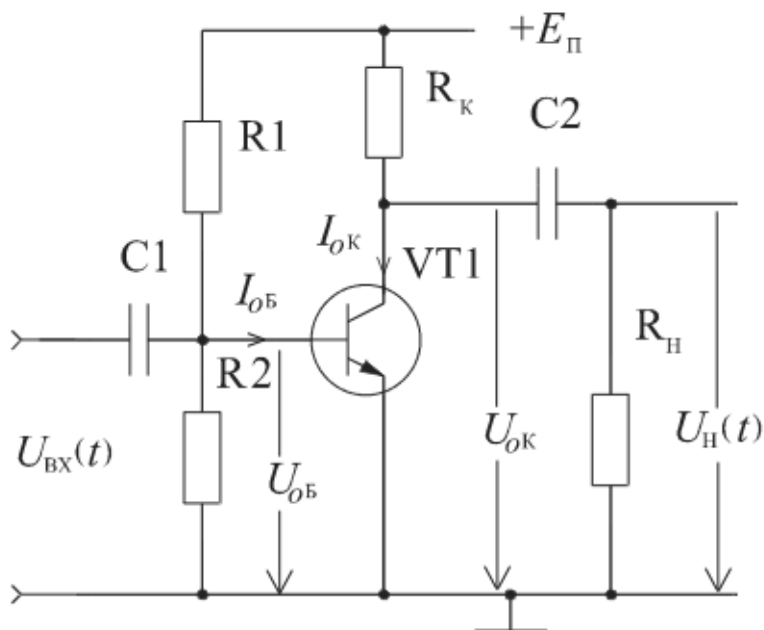


Рис. 3.1. Усилительный каскад с ОЭ и фиксированным потенциалом базы

Благодаря именно такому виду базэмиттерного напряжения $U_{БЭ}(t)$ выходное напряжение каскада (между коллектором и эмиттером) получается в виде суммы постоянной $U_{оК}$ и переменной $U_{К\sim}(t)$ составляющих:

$$U_{КЭ}(t) = U_{оК} + U_{К\sim}(t). \quad (3.2)$$

При этом переменная составляющая напряжения $U_{К\sim}(t)$, является усиленной и инвертированной копией входного переменного сигнала $U_{ВХ\sim}(t)$.

В усилительном каскаде с ОЭ и фиксированным потенциалом базы (рис. 3.1) напряжение смещения $U_{об}$ задается при помощи резистивного делителя $R1, R2$ и вызывает появление тока покоя базы $I_{об}$. Ток покоя коллектора $I_{оК}$ и напряжение покоя $U_{оК}$ определяются следующим образом:

$$I_{оК} = \beta I_{об}, \quad (3.3)$$

где β – коэффициент передачи тока базы.

$$U_{oK} = E_{\Pi} - I_{oK} R_K. \quad (3.4)$$

Подлежащий усилению входной сигнал $U_{BX}(t)$ подается на базу транзистора (точнее прикладывается к базэмиттерному переходу) через разделительный конденсатор $C1$. Благодаря этому исключается влияние источника входного напряжения на величину напряжения смещения U_{oB} .

Для того чтобы в нагрузку не проходила постоянная составляющая коллекторного напряжения U_{oK} ставят выходной разделительный конденсатор $C2$.

Таким образом, благодаря разделительным конденсаторам $C1$ и $C2$ достигается разделение цепей постоянного и переменного токов в усилительном каскаде на биполярном транзисторе.

Схема усилительного каскада с ОЭ и фиксированным током базы представлена на рис. 3.2. Фиксация тока I_{oB} покоя базы в этой схеме осуществляется при помощи резистора R_B :

$$I_{oB} = \frac{E_{\Pi} - U_{oB}}{R_B} \approx \frac{E_{\Pi}}{R_B}. \quad (3.5)$$

Задав ток покоя базы, мы задаем ток покоя коллектора I_{oK} и напряжение покоя U_{oK} . Эта пара величин связана с током покоя базы уравнениями (3.3) и (3.4).

Конденсаторы $C1$ и $C2$, как и в схеме на рис. 3.1, выполняют роль разделительных.

Схемы усилительных каскадов с фиксированным напряжением и током базы (рис. 3.1 и рис. 3.2) обладают большим недостатком – у них низкая термостабильность. При изменении температуры окружающей среды, например при ее увеличении, за счет обратного тока I_{K0} возрастает ток покоя I_{oK} транзистора. Это приводит к уменьшению напряжения покоя U_{oK} коллектора, и оно может стать очень малым из-за входа транзистора в состояние насыщения. В итоге каскад становится неработоспособным.

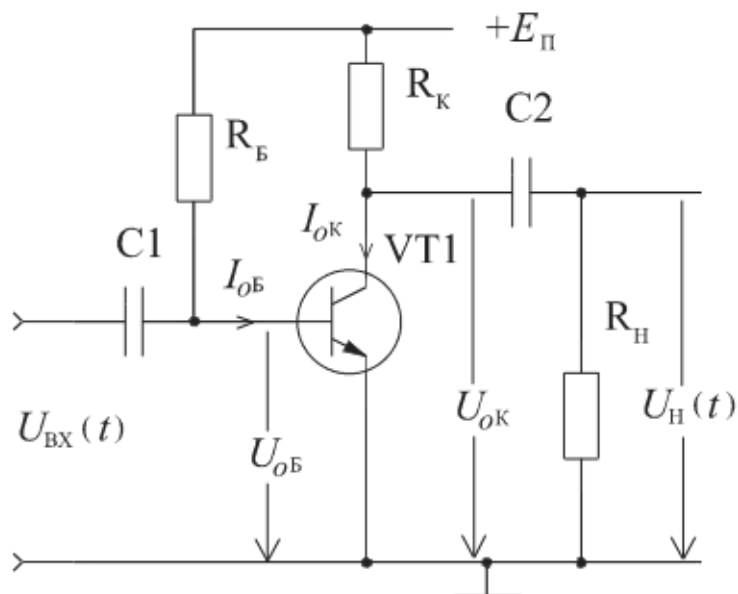


Рис. 3.2. Усилительный каскад с ОЭ и фиксированным током базы

Количественно термостабильность каскада оценивается коэффициентом неустойчивости

$$S = \frac{\Delta I_{oK}}{\Delta I_{K0}}, \quad (3.6)$$

где ΔI_{K0} – приращение обратного тока коллекторно-базового перехода, ΔI_{oK} – приращение тока коллектора, вызванные изменениями обратного тока ΔI_{K0} .

И схема с фиксированным потенциалом базы (рис. 3.1) и схема с фиксированным током базы (рис. 3.2) имеют очень большой коэффициент неустойчивости. У них $S \approx \beta \gg 1$.

Радикальным способом улучшения термостабильности усилителей переменного тока является введение отрицательных обратных связей по напряжению (рис. 3.3) и по току (рис. 3.4).

В схеме рис. 3.3 отрицательная обратная связь по напряжению достигается за счет подключения базового резистора $R_Б$ к коллектору транзистора. Это незначительно снижает коэффициент усиления каскада по напряжению, но повышает термостабильность. Действитель-

но, если предположить, что при увеличении температуры произошло увеличение тока покоя коллектора, то это должно привести к уменьшению напряжения покоя $U_{oK} = E_{\Pi} - R_K I_{oK}$.

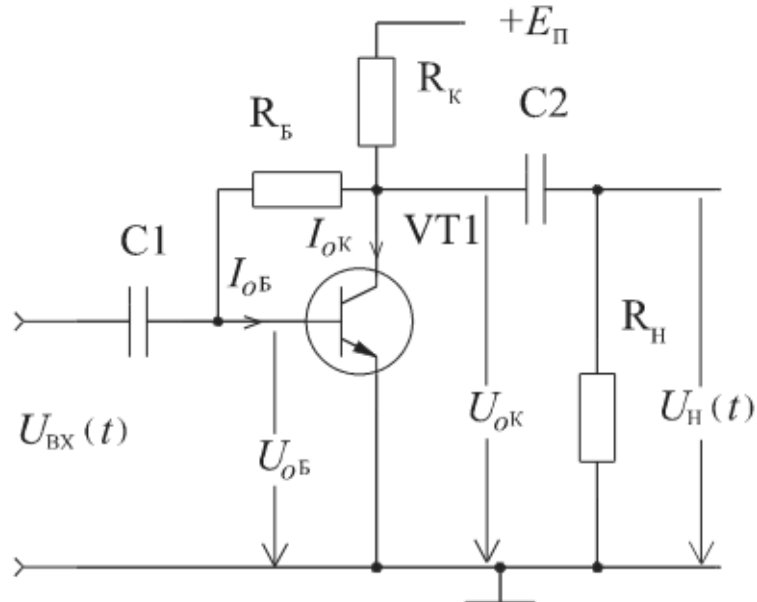


Рис. 3.3. Усилительный каскад с ОЭ и отрицательной обратной связью (ООС) по напряжению

В свою очередь, уменьшение напряжения U_{oK} должно вызвать уменьшение тока покоя базы, так как

$$I_{oБ} = \frac{U_{oK} - U_{oБ}}{R_B} \approx \frac{U_{oK}}{R_B} \quad (3.7)$$

Соответственно, уменьшение тока покоя базы обуславливает уменьшение тока покоя коллектора, так как $I_{oK} = \beta I_{oБ}$.

Таким образом, в схеме действует отрицательная обратная связь, препятствующая большим изменениям тока покоя коллектора при воздействии дестабилизирующих факторов.

Коэффициент неустойчивости этой схемы существенно меньше, чем в схемах на рис. 3.1 и 3.2 и выражается формулой

$$S = \left(1 - \frac{R_B}{R_B + R_K}\right)^{-1}. \quad (3.8)$$

Чем меньше величина резистора R_B , тем лучше стабильность схемы, но это приводит к уменьшению коэффициента усиления по напряжению. На практике обычно ищут компромисс.

В схеме на рис. 3.4 отрицательная обратная связь по току получается за счет введения сопротивления $R_Э$ в цепь эмиттера. Чем больше величина $R_Э$, тем лучше термостабильность, но это уменьшает коэффициент усиления каскада по напряжению, так как

$$K_u \approx -\frac{R_K}{R_Э}. \quad (3.9)$$

Чтобы не снижать коэффициент усиления и сохранить термостабильность каскада, резистор $R_Э$ шунтируют блокировочным конденсатором (на рис. 3.4 он не показан). Величину емкости этого конденсатора выбирают такой, чтобы его сопротивление переменному току в рабочей полосе частот было намного меньше величины сопротивления $R_Э$.

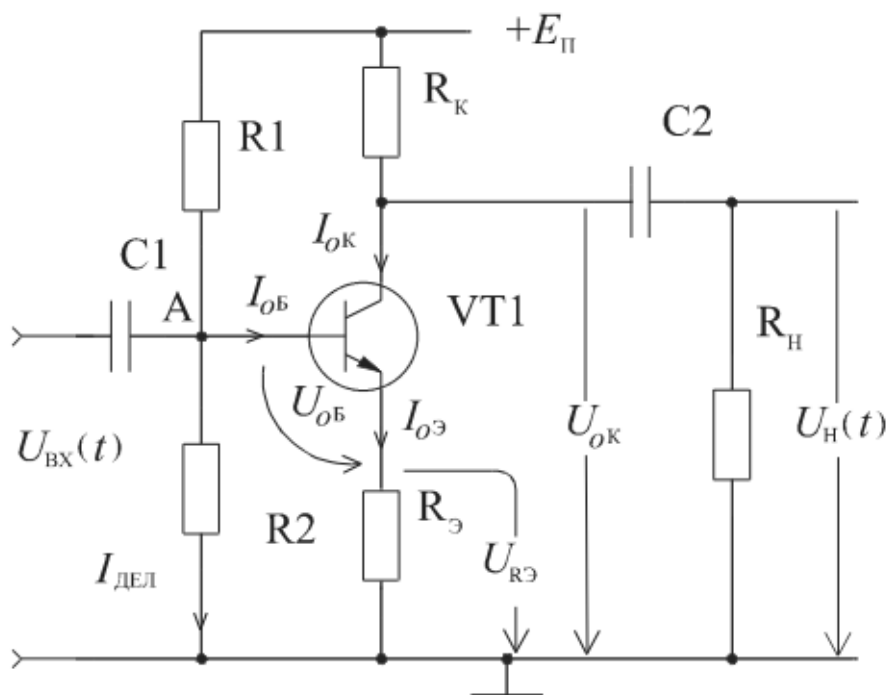


Рис. 3.4. Усилительный каскад с ОЭ и отрицательной обратной связью (ООС) по току

Рассмотрим работу схемы. Делитель напряжения $R1$ и $R2$ обеспечивает фиксацию напряжения U_A на базе относительно обще-

го провода. Чтобы параметры транзистора не сказывались на напряжении U_A , ток делителя выбирается в пределах

$$I_{\text{дел}} = (3...10)I_{oБ}. \quad (3.10)$$

Напряжение покоя базы $U_{oБ}$ определяется как

$$U_{oБ} = U_A - U_{RЭ}. \quad (3.11)$$

Предположим, что при увеличении температуры произошло увеличение I_{K0} , что в свою очередь привело к увеличению тока покоя коллектора $I_{oК}$ и тока покоя эмиттера

$$I_{oЭ} = \alpha I_{oК} \approx I_{oК}. \quad (3.12)$$

При увеличении тока покоя эмиттера возрастает напряжение на эмиттерном сопротивлении $R_{Э}$ ($U_{RЭ} = I_{oЭ} \cdot R_{Э}$), следовательно, уменьшится напряжение покоя базы $U_{oБ}$, в результате чего падает $I_{oБ}$ и уменьшается $I_{oК}$. Таким образом, в схеме действует отрицательная обратная связь, препятствующая большим изменениям тока покоя коллектора при воздействии дестабилизирующих факторов.

Модельный эксперимент

Цель работы

1. Исследование усилительного каскада переменного тока на биполярном транзисторе с фиксированным напряжением покоя базы $U_{oБ}$.
2. Исследование усилительного каскада переменного тока на биполярном транзисторе с фиксированным током покоя базы $I_{oБ}$.
3. Исследование усилительного каскада переменного тока на биполярном транзисторе с отрицательной обратной связью (ООС) по напряжению.

4. Исследование усилительного каскада переменного тока на биполярном транзисторе с ООС по току.

5. Закрепить теоретические знания, полученные на лекциях и самостоятельных занятиях.

Программное обеспечение, приборы и элементы

1. Пакет моделирующих программ *Electronics Workbench* v.5.12, работающих в среде операционной системы *Windows 98*, *Windows XP* или *Windows 2000*. Путь запуска программы *Electronics Workbench*: «рабочий стол *Windows*» → папка «Учебный процесс» → ярлык .

2. Транзистор $VT1$ . Путь выбора: группа компонентов транзисторов  *Transistors* →  *NPN Transistor*.

3. Резисторы $R1, R2, R_B, R_K, R_E, R_H$ . Путь выбора: группа базовых компонентов  *Basic* →  *Resistor*.

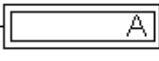
4. Источники питания E_{CM} и E_{II} . Путь выбора: группа компонентов источников  *Sources* →  *Battery*.

5. Заземление. Путь выбора: группа компонентов источников  *Sources* →  *Ground*.

6. Источник переменного напряжения E_c . Путь выбора: группа компонентов источников  *Sources* →  *AC Voltage Source*.

7. Конденсаторы $C1, C2$ . Путь выбора: группа базовых компонентов  *Basic* →  *Capacitor*.

8. Вольтметры $PV1$ и $PV2$ . Путь выбора: группа компонентов индикаторные приборы  *Indicators* →  *Voltmeter*.

9. Амперметры $PA1$ и $PA2$ . Путь выбора: группа компонентов индикаторные приборы  *Indicators* →  *Ammeter*.

10. Осциллограф . Путь выбора: группа компонентов инструментов  *Instruments* →  *Oscilloscope*.

Программа работы

1. Изучить подлежащие исследованиям схемы усилительных каскадов переменного тока на биполярных транзисторах.

2. Ознакомиться с типами и моделями элементов, применяемых в схемах усилительных каскадов, уяснить пути их выбора и задания параметров.

3. Используя экспериментальные значения токов покоя $I_{оБ}$ и напряжения покоя $U_{оБ}$ транзистора, полученные в результате экспериментальных исследований режимов работы усилительного каскада на биполярном транзисторе по теме 2, рассчитать величины резистивных элементов схем на рис. 3.1–3.4.

4. На рабочем поле программы *Electronics Workbench v.5.12* собрать схему и произвести исследование усилительного каскада переменного тока на биполярном транзисторе с фиксированным напряжением $U_{оБ}$ покоя базы.

5. На рабочем поле программы *Electronics Workbench v.5.12* собрать схему и произвести исследование усилительного каскада переменного тока на биполярном транзисторе с фиксированным током $I_{оБ}$ покоя базы.

6. На рабочем поле программы *Electronics Workbench v.5.12* собрать схему и произвести исследование усилительного каскада переменного тока на биполярном транзисторе с обратной связью по напряжению.

7. На рабочем поле программы *Electronics Workbench v.5.12* собрать схему и произвести исследование усилительного каскада переменного тока на биполярном транзисторе с обратной связью по току.

Порядок выполнения работы

1. Исследование усилительного каскада переменного тока на биполярном транзисторе с фиксированным напряжением покоя базы $U_{об}$.

1.1. Собрать схему лабораторной установки, приведенную на рис. 3.5.

Значение сопротивления R_K взять в соответствии с номером бригады из табл. 3.1.

Модель транзистора 2N2712 выбрать из библиотеки *nationl2* во вкладке *Models* свойств транзистора (*NPN Transistor Properties*).

Во вкладке *Value* свойств вольтметров (*Voltmeter Properties*) установить режим измерения постоянного (*Mode: DC*) либо переменного (*Mode: AC*) токов, как указано в скобках рядом с буквенно-цифровыми обозначениями вольтметров. Задать внутреннее сопротивление вольтметра (*Resistance*) (R) = 100 МОм.

Во вкладке *Value* свойств амперметров (*Ammeter Properties*) установить режим измерения постоянного тока (*Mode: DC*) и задать внутреннее сопротивление амперметра (*Resistance*) (R) = 1 мОм.

Таблица 3.1

Номер бригады	1	2	3	4	5	6	7	8	9	10
R_K , кОм	1,8	1,6	1,7	1,9	2	2,3	2,2	2,1	2,4	2,5

Номиналы элементов резистивного делителя $R1, R2$ установить после проведения расчетов с использованием данных ($I_{об}$ и $U_{об}$), полученных в результате экспериментальных исследований режимов работы усилительного каскада на биполярном транзисторе по теме 2.

Последовательность расчетов следующая:

– задаться током резистивного делителя напряжения

$$I_{дел} = 5I_{об}; \quad (3.13)$$

– найти величину суммарного сопротивления резисторов делителя

$$R1 + R2 = \frac{E_{П}}{I_{дел}}; \quad (3.14)$$

– определить величину сопротивления нижнего резистора делителя и округлить ее до ближайшего стандартного значения

$$R2 = \frac{U_{oБ}}{I_{дел}}; \quad (3.15)$$

– найти величину сопротивления верхнего резистора делителя и округлить ее до ближайшего стандартного значения

$$R1 = (R1 + R2) - R2. \quad (3.16)$$

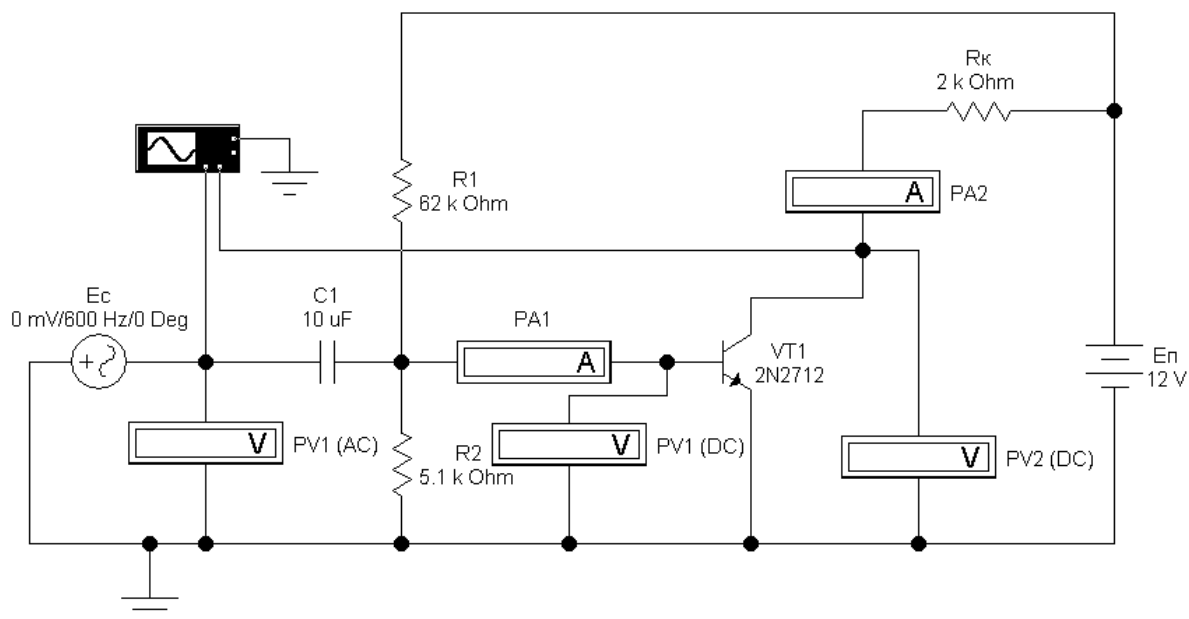


Рис. 3.5. Схема установки для исследования усилительного каскада на биполярном транзисторе с фиксированным напряжением покоя базы

1.2. Предъявить преподавателю для проверки схему лабораторной установки и получить разрешение на проведение исследований.

1.3. При $E_{CM} = 0$ путем изменения номинала резистора $R1$ настроить работу каскада в режиме класса А, контролируя ток покоя коллектора $I_{oК}$ амперметром $PA2$, а напряжение покоя коллектора $U_{oК}$ вольтметром $PV2$. Настройку можно считать завершенной, когда ток и напряжение покоя будут укладываться в 20 % допуска:

$$I_{oК} = (1 \pm 0,2) \frac{I_{KH}}{2} = (1 \pm 0,2) \frac{E_{П}}{2R_K}; \quad (3.17)$$

$$U_{oК} = (1 \pm 0,2) \frac{E_{П}}{2}. \quad (3.18)$$

Экспериментальные значения тока и напряжения покоя коллектора записать в табл. 3.2.

1.4. Установить вольтметры в режим измерения переменного напряжения (*Mode: AC*) и настроить осциллограф следующим образом:

- длительность развертки по горизонтали: 1 мс/дел;
- чувствительность отклонения луча по вертикали канала А: 20 мВ/дел;
- смещение луча канала А по вертикали: 2 дел;
- чувствительность отклонения луча по вертикали канала В: 5 В/дел;
- смещение луча канала В по вертикали: 0 дел.

1.5. Задав напряжение источника входного сигнала $E_{\text{СМ}} = 5 \text{ мВ}$, зарисовать осциллограммы и вычислить коэффициент усиления каскада по напряжению

$$K_u = \frac{U_{\text{К}\sim}}{U_{\text{ВХ}\sim}}, \quad (3.19)$$

где $U_{\text{К}\sim}$ и $U_{\text{ВХ}\sim}$ – амплитудные либо действующие значения переменных составляющих выходного и входного напряжений каскада.

Экспериментальные коэффициенты усиления занести в табл. 3.2.

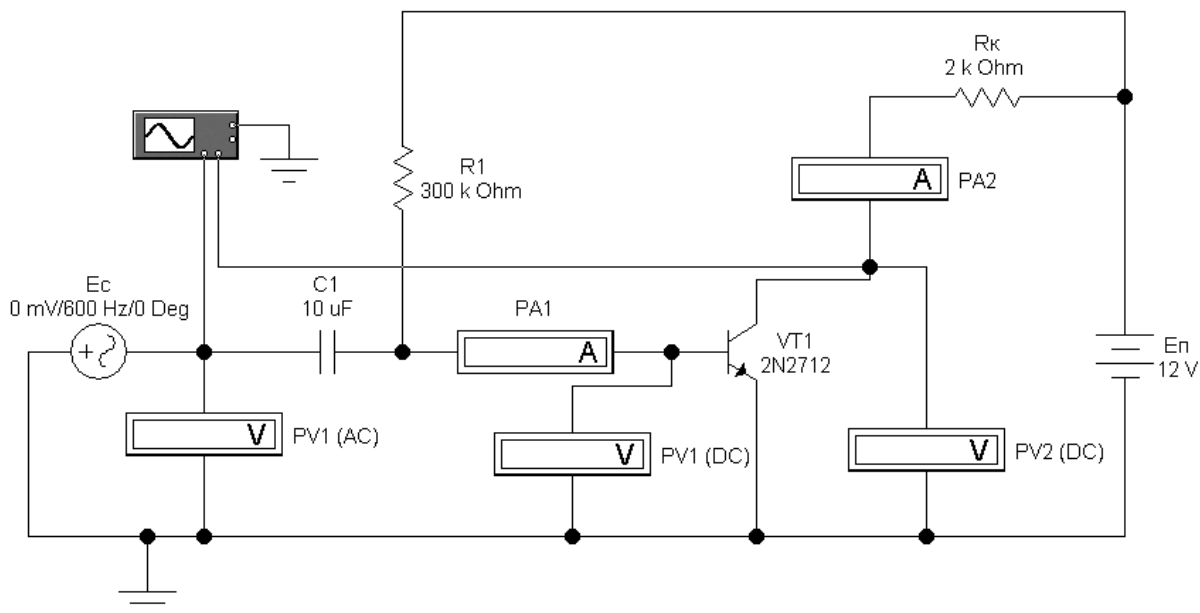


Рис. 3.6. Схема установки для исследования усилительного каскада на биполярном транзисторе с фиксированным током покоя базы

Таблица 3.2

Тип схемы	Теоретические данные							Экспериментальные данные					
	$U_{об},$ В	$R1$ (R_B) Ом	$R2,$ Ом	$R_K,$ Ом	$I_{ок},$ А	$U_{ок},$ В	$U_{об},$ В	$R1$ (R_B) Ом	$I_{ок},$ А	$U_{ок},$ В	$U_{ВХ~},$ В	$U_{К~},$ В	K_u
С фиксированным напряжением базы (рис. 3.5)													
С фиксированным током базы (рис. 3.6)			—										
С ООС по напряжению (рис. 3.7)			—										
С ООС по току (рис. 3.8)													

2. Исследование усилительного каскада переменного тока на биполярном транзисторе с фиксированным током покоя базы $I_{oБ}$.

2.1. Собрать схему установки, представленную на рис. 3.6. Значение сопротивления коллектора R_K взять в зависимости от номера бригады из табл. 3.1.

Номинал токозадающего резистора $R1$ установить после проведения расчета с использованием данных ($U_{oБ}$ и $I_{oБ}$), полученных в результате экспериментальных исследований режимов работы усилительного каскада на биполярном транзисторе по теме 2.

$$R1 = \frac{E_{П} - U_{oБ}}{I_{oБ}}. \quad (3.20)$$

2.2. При $E_{СМ} = 0$ путем изменения номинала резистора $R1$ настроить работу каскада в режиме класса А, контролируя ток покоя коллектора $I_{oК}$ амперметром $PA2$, а напряжение покоя коллектора $U_{oК}$ вольтметром $PV2$. Настройку можно считать завершенной, когда значения тока и напряжения покоя будут лежать в пределах, определяемых выражениям (3.17) и (3.18).

Экспериментальные значения тока и напряжения покоя коллектора необходимо записать в табл. 3.2.

2.3. Установить вольтметры в режим измерения переменного напряжения (*Mode: AC*) и настроить осциллограф по п.1.4.

2.4. Задав напряжение источника входного сигнала $E_{СМ} = 5$ мВ, зарисовать осциллограммы и вычислить коэффициент усиления каскада по напряжению K_u .

Экспериментальное значение коэффициента усиления занести в табл. 3.2.

3. Исследование усилительного каскада переменного тока на биполярном транзисторе с отрицательной обратной связью по напряжению.

3.1. Собрать схему установки, представленную на рис. 3.7. Значение сопротивления R_K взять в зависимости от номера бригады из табл. 3.1.

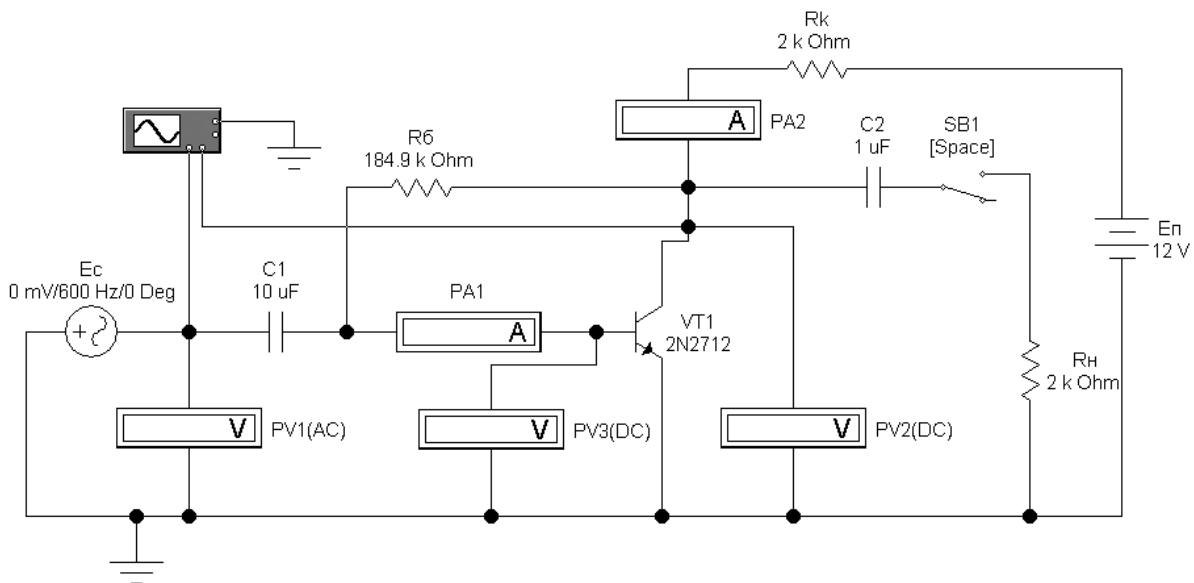


Рис. 3.7. Схема установки для исследования усилительного каскада на биполярном транзисторе с ООС по напряжению

Номинал токозадающего резистора R_B установить после проведения расчета с использованием значений U_{oB} и I_{oB} , полученных в результате экспериментальных исследований режимов работы усилительного каскада на биполярном транзисторе по теме 2

$$R_B = \frac{U_{oK} - U_{oB}}{I_{oB}}. \quad (3.21)$$

3.2. При $E_{CM} = 0$ путем изменения номинала резистора R_B настроить работу каскада в режиме класса А, контролируя ток покоя коллектора I_{oK} амперметром PA2, а напряжение покоя коллектора U_{oK} вольтметром PV2. Настройку можно считать завершенной, когда значения тока и напряжения покоя будут лежать в пределах, определяемых выражениями (3.17) и (3.18).

Экспериментальные значения тока и напряжения покоя коллектора записать в табл. 3.2.

3.3. Установить вольтметры в режим измерения переменного напряжения (Mode: AC) и настроить осциллограф по п. 1.4.

3.4. Задав напряжение источника входного сигнала $E_{\text{СМ}} = 5 \text{ мВ}$, зарисовать осциллограммы и вычислить коэффициент усиления каскада по напряжению.

Экспериментальное значение коэффициента усиления занести в табл. 3.2.

3.5. При помощи переключателя $SB1$ подключить сопротивление нагрузки $R_{\text{Н}}$ через разделительный конденсатор $C2$ к коллектору транзистора и снять осциллограммы напряжения на коллекторе и входного напряжения. Измерить уровень постоянной составляющей сигнала на нагрузке. Определить коэффициент усиления каскада по напряжению и результат занести в табл. 3.2.

4. Исследование усилительного каскада переменного тока на биполярном транзисторе с отрицательной обратной связью по току.

4.1. Собрать схему установки, представленную на рис. 3.8.

Задать величину эмиттерного резистора $R_{\text{Э}} = 100 \text{ Ом}$.

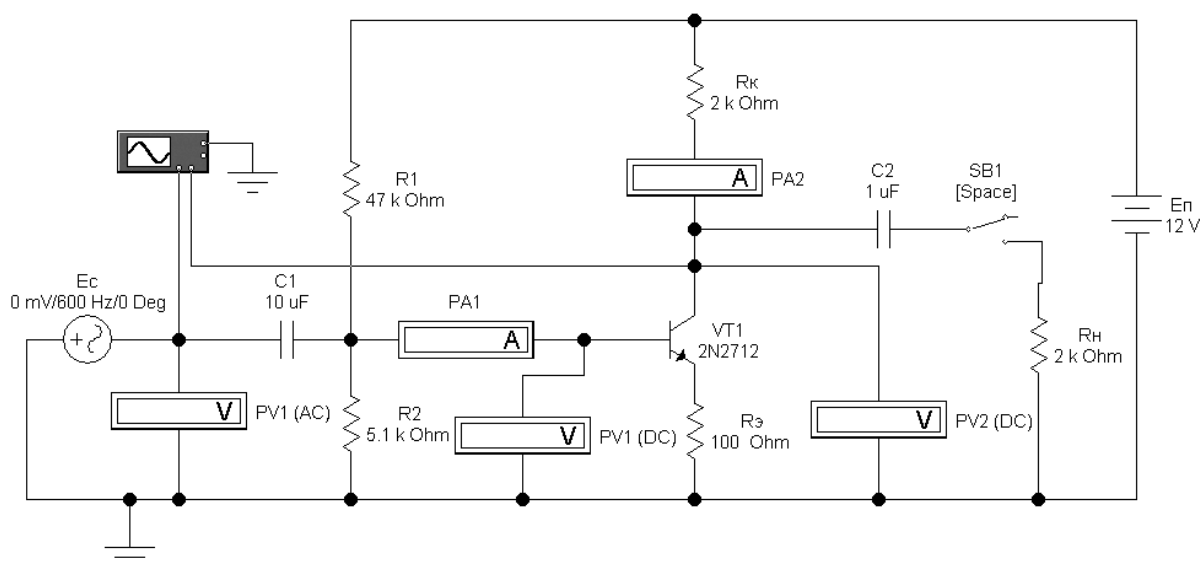


Рис. 3.8. Схема установки для исследования усилительного каскада на биполярном транзисторе с ООС по току

Номиналы резистивного делителя $R1, R2$ установить после проведения расчета с использованием значений $U_{\text{об}}$ и $I_{\text{об}}$, полученных в результате экспериментальных исследований режимов работы усилительного каскада на биполярном транзисторе по теме 2.

Порядок расчета следующий:

– задаться током делителя $I_{\text{дел}} = 0,2 \text{ мА}$;

– определить

$$R2 = \frac{I_{oK} R_{\Sigma} + U_{oB}}{I_{\text{дел}}}; \quad (3.22)$$

– рассчитать

$$R1 = \frac{E_{\Pi}}{I_{\text{дел}}} - R2. \quad (3.23)$$

4.2. При $E_{\text{СМ}} = 0$ путем изменения номинала резистора $R1$ настроить работу каскада в режиме класса А, контролируя ток I_{oK} покоя коллектора амперметром $PA2$, а напряжение U_{oK} покоя коллектора вольтметром $PV2$. Настройку можно считать завершенной, когда значения тока и напряжения покоя будут лежать в пределах, определяемых выражениями (3.17) и (3.18).

Экспериментальные значения тока и напряжения покоя коллектора необходимо записать в табл. 3.2.

4.3. Установить вольтметры в режим измерения переменного напряжения (*Mode: AC*) и настроить осциллограф следующим образом:

– длительность развертки по горизонтали: 1 мс/дел;

– чувствительность отклонения луча по вертикали канала А: 10 мВ/дел;

– смещение луча канала А по вертикали: –2 дел;

– чувствительность отклонения луча по вертикали канала В: 5 В/дел;

– смещение луча канала В по вертикали: 0 дел.

4.4. Задав напряжение источника входного сигнала $E_{\text{СМ}} = 10 \text{ мВ}$, зарисовать осциллограммы и вычислить коэффициент усиления каскада по напряжению.

Экспериментальное значение коэффициента усиления занести в табл. 3.2.

4.5. Подключив сопротивление нагрузки через разделительный конденсатор к коллектору транзистора, снять осциллограммы коллекторного и входного напряжений. Измерить уровень постоянной составляющей сигнала на нагрузке. Определить коэффициент усиления каскада по напряжению.

Содержание отчета

1. Цель работы.
2. Программа работы.
3. Принципиальные электрические схемы всех лабораторных установок.
4. Осциллограммы и таблица с экспериментальными данными.
5. Краткие выводы по работе.

Контрольные вопросы

При допуске к лабораторной работе:

1. Какова цель и программа работы?
2. Какими величинами определяется режим работы транзистора по постоянному току?
3. Как можно задать ток покоя коллектора $I_{оК}$?
4. Как можно задать напряжение покоя коллектора $U_{оК}$?
5. Нарисуйте схему усилительного каскада переменного тока на биполярном транзисторе с фиксированным напряжением покоя базы.
6. Нарисуйте схему усилительного каскада переменного тока на биполярном транзисторе с фиксированным током покоя базы.
7. Нарисуйте схему усилительного каскада переменного тока на биполярном транзисторе с отрицательной обратной связью по напряжению.
8. Нарисуйте схему усилительного каскада переменного тока на биполярном транзисторе с отрицательной обратной связью по току.
9. Что такое коэффициент неустойчивости усилительного каскада?
10. Какую роль играют разделительные конденсаторы в исследуемых схемах усилителей переменного тока?

При защите лабораторной работы необходимо знать ответы на все вышеприведенные вопросы и, кроме того, необходимо знать ответы на следующие вопросы:

1. Почему для реализации усилителя переменного тока наряду с полезным сигналом между базой и эмиттером транзистора должно быть напряжение смещения?

2. При каком напряжении между базой и эмиттером кремниевый *npn*-транзистор находится в открытом состоянии (примерно)?

3. При каких условиях транзистор работает в режиме класса А?

4. Как влияет величина коллекторного сопротивления R_K на коэффициент усиления транзистора?

5. Как изменяется ток покоя транзистора при изменении величины сопротивления R_B в схеме с фиксированным током базы?

6. Как изменяется ток покоя транзистора при изменении величины сопротивления R_1 в схеме с фиксированным напряжением базы?

7. Как изменяется ток покоя транзистора при изменении величины сопротивления R_2 в схеме с фиксированным напряжением базы?

8. Как изменяется напряжение покоя транзистора при изменении величины сопротивления R_1 в схеме с фиксированным напряжением базы?

9. Как изменяется напряжение покоя транзистора при изменении величины сопротивления R_2 в схеме с фиксированным напряжением базы?

10. Как изменяется напряжение покоя транзистора при изменении величины сопротивления R_B в схеме с фиксированным током базы?

11. Как изменится коэффициент усиления по напряжению каскада с ООС по току при шунтировании резистора R_3 конденсатором?

Тема 4

ОПЕРАЦИОННЫЕ УСИЛИТЕЛИ И ИХ ПРИМЕНЕНИЕ

Теоретические сведения

Операционные усилители (ОУ) – это многокаскадные усилители постоянного тока, имеющие дифференциальный вход и несимметричный выход и обладающие большим дифференциальным коэффициентом усиления по напряжению $K_u^{\text{диф}}$. Свое название ОУ получили в связи с реализацией на их основе различных алгебраических операций (сложения, вычитания, дифференцирования и т. д.).

Амплитудно-частотная характеристика ОУ приведена на рис. 4.1. Нижняя граничная частота у ОУ принципиально равна нулю ($f_H = 0$). Частота единичного усиления сигнала (f_1) зависит от типа ОУ и лежит в диапазоне значений $f_1 = 10^5 \dots 10^8$ Гц.

Как видно из амплитудно-частотной характеристики ОУ способны усиливать не только сколь угодно медленно изменяющиеся во времени сигналы ($f \rightarrow 0$), т. е. постоянный ток, но и сигналы переменного тока.

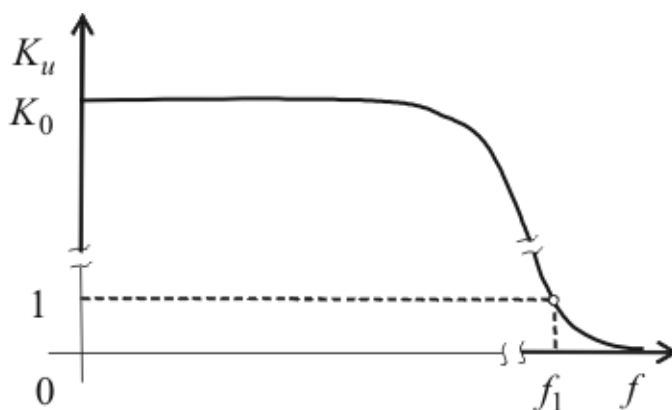


Рис. 4.1. Амплитудно-частотная характеристика ОУ

ОУ являются основным схемотехническим элементом современных аналоговых устройств и предназначены для работы с различными типами обратных связей. Например, путем охвата ОУ соответствующей отрицательной обратной связью достаточно просто созда-

ются высокоточные усилители постоянного и переменного токов, сумматоры, интеграторы, дифференциаторы, логарифмические усилители и т. д. Без обратных связей ОУ используются в очень редких случаях.

Условные графические обозначения ОУ по отечественным и зарубежным стандартам приведены на рис. 4.2. В некоторых ОУ имеются еще выводы для устранения самовозбуждения усилителя. Эти выводы обозначаются в дополнительном поле как *FC*-частотная коррекция.

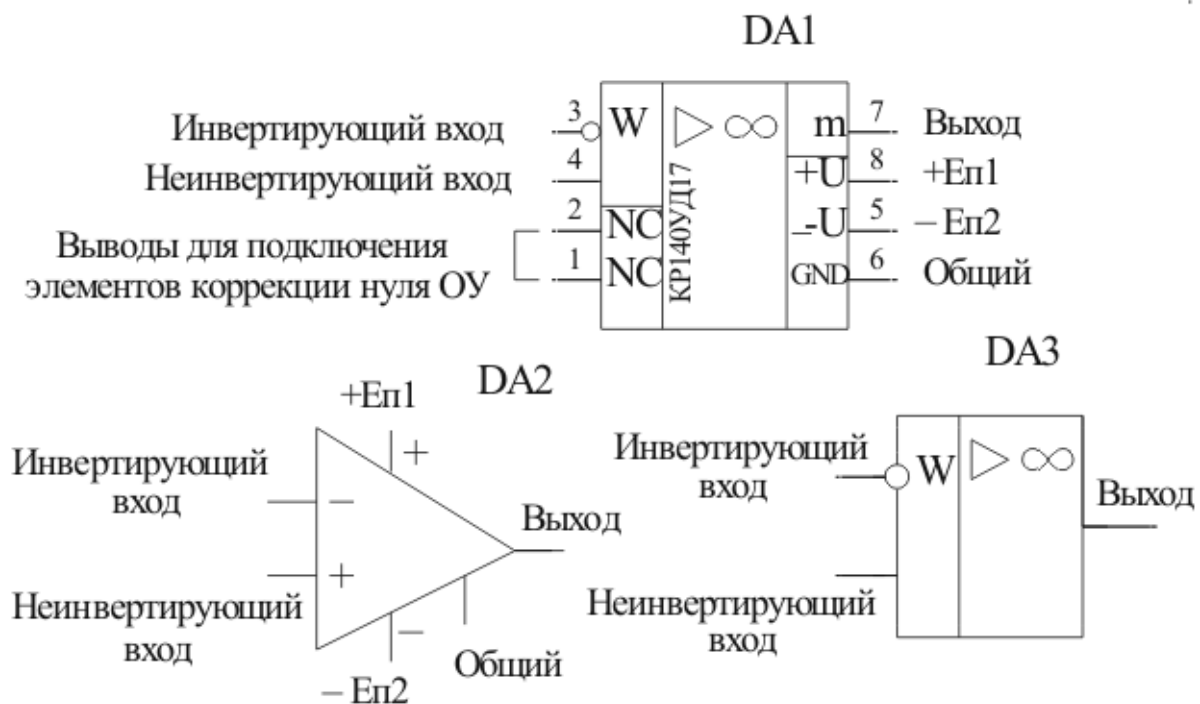


Рис. 4.2. Условные графические обозначения ОУ:
DA1 и DA3 – по отечественным стандартам; DA2 – по зарубежным стандартам

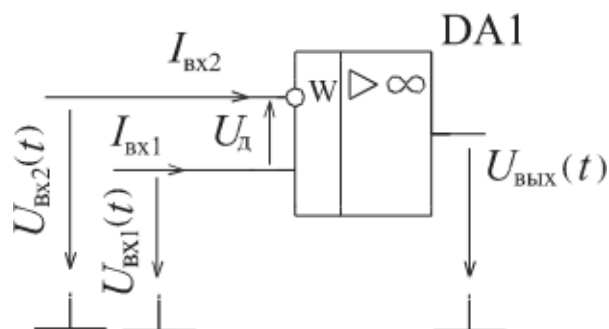


Рис. 4.3. Токи и напряжения в ОУ

Напряжение на выходе разомкнутого ОУ, т. е. не охваченного обратной связью (рис. 4.3), можно представить в следующем виде:

$$U_{\text{ВЫХ}}(t) = K_u^{\text{диф}}[U_{\text{ВХ1}}(t) - U_{\text{ВХ2}}(t)] + U_{\text{см0}}^{\text{ВЫХ}} + U_{\text{др}}^{\text{ВЫХ}}(t), \quad (4.1)$$

где $U_{\text{ВХ1}}(t)$ и $U_{\text{ВХ2}}(t)$ – напряжения на входах ОУ;

$U_{\text{д}} = U_{\text{ВХ1}}(t) - U_{\text{ВХ2}}(t)$ – разность напряжений между входами ОУ;

$K_u^{\text{диф}} = \frac{U_{\text{ВЫХ}}(t)}{U_{\text{д}}} = \frac{U_{\text{ВЫХ}}(t)}{U_{\text{ВХ1}}(t) - U_{\text{ВХ2}}(t)}$ – дифференциальный коэффициент

усиления ОУ по напряжению; $U_{\text{см0}}^{\text{ВЫХ}}$ – паразитная составляющая выходного напряжения, называемая напряжением смещения нуля на выходе; $U_{\text{др}}^{\text{ВЫХ}}(t)$ – дрейф паразитной составляющей выходного напряжения.

Как видно из выражения (4.1), ОУ в $K_u^{\text{диф}}$ раз усиливает разность входных сигналов $U_{\text{д}}$ и в идеале не усиливает синфазную составляющую входных сигналов

$$U_{\text{синф}}^{\text{ВХ}}(t) = \frac{U_{\text{ВХ1}}(t) + U_{\text{ВХ2}}(t)}{2}. \quad (4.2)$$

Если напряжение смещения нуля можно схемотехническим путем устранить, то его дрейф устранить практически невозможно.

Основными причинами дрейфа являются:

- температурная зависимость параметров элементов ОУ;
- зависимость параметров элементов от питающих напряжений;
- нестабильность параметров элементов во времени из-за старения элементов.

Для эквивалентного сопоставления ОУ различных типов напряжение смещения нуля и его дрейф оцениваются, как приведенные к входу усилителя:

$$U_{см0} = \frac{U_{см0}^{ВЫХ}}{K_u^{диф}}; \quad (4.3)$$

$$U_{др}(t) = \frac{U_{др}^{ВЫХ}(t)}{K_u^{диф}}. \quad (4.4)$$

На рис. 4.4 представлена проходная характеристика ОУ – зависимость его выходного напряжения от разности напряжений на входах.

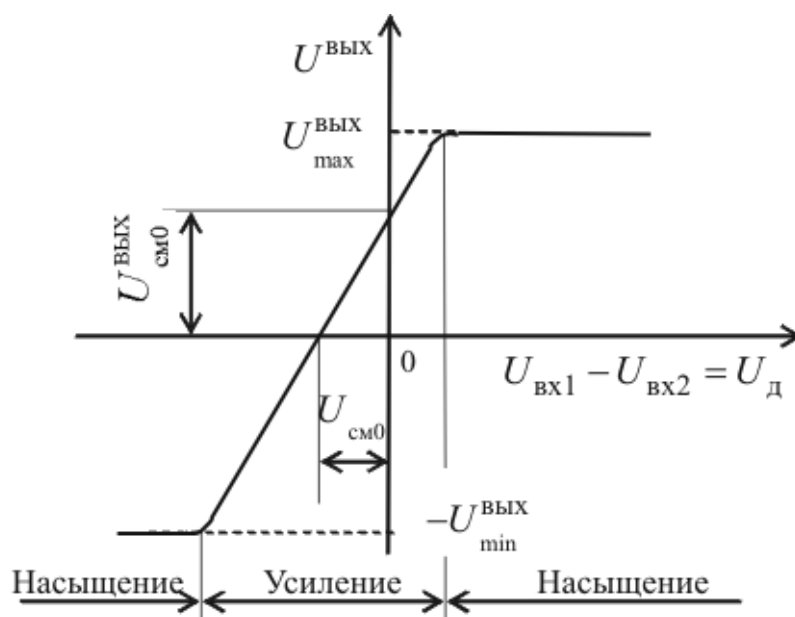


Рис. 4.4. Проходная характеристика ОУ

На проходной характеристике можно выделить три участка – два из них называются участками насыщения, а третий (между ними) – линейным. Линейный участок очень узкий и составляет единицы–десятки милливольт. Только в пределах линейного участка возможно усиление разности входных сигналов. В областях насыщения усиление невозможно. Из проходной характеристики видно, что напряжение смещения нуля, приведенное к входу $U_{см0}$, численно равно такому входному напряжению ОУ, которое ему надо подать на вход с соответствующим знаком, чтобы получить выходное напряжение, равное нулю.

В настоящее время ОУ выпускаются в интегральном исполнении в достаточно большом ассортименте.

В зависимости от технических характеристик интегральные ОУ делятся на следующие группы:

- *ОУ общего применения* имеют средние значения всех параметров. Они наиболее дешевы, а потому применяются наиболее часто;

- *прецизионные ОУ* предназначены для точного выполнения операций над аналоговыми сигналами и имеют дифференциальный коэффициент усиления около или более 10^5 и малые значения дрейфовых параметров. Их называют измерительными усилителями;

- *быстродействующие ОУ* имеют большую скорость нарастания выходного сигнала $V > 100 \frac{\text{В}}{\text{мкс}}$ и используются для построения импульсных усилителей;

- *микроомные ОУ* применяются в автономных устройствах с малым энергопотреблением $P_{\text{пот}} < 1 \text{ мВт}$, $E_{\text{п}} \approx 3 \text{ В}$;

- *программируемые ОУ* имеют добавочный вход, подавая напряжение на который можно управлять параметрами ОУ.

Для расчетов схем и устройств на основе ОУ очень часто используют понятие идеального ОУ. Под идеальным понимают ОУ со следующими параметрами:

- дифференциальный коэффициент усиления по напряжению $K_u^{\text{диф}} \rightarrow \infty$ и, как следствие, разность напряжений на входах $U_{\text{д}} = (U_{\text{вх1}} - U_{\text{вх2}}) \rightarrow 0$;

- входные токи $I_{\text{вх1}}, I_{\text{вх2}} \rightarrow 0$, а входное дифференциальное сопротивление (как следствие) $R_{\text{вх}}^{\text{диф}} \rightarrow \infty$;

- выходное сопротивление $R_{\text{вых}} \rightarrow 0$;

- верхняя граничная частота $f_{\text{в}} \rightarrow \infty$.

Современные интегральные ОУ имеют параметры, близкие к идеальным (табл. 4.1).

Таблица 4.1

Параметры операционных усилителей

Параметры ОУ	Идеальный ОУ	Реальные ОУ
Дифференциальный коэффициент усиления по напряжению $K_u^{\text{диф}}$	∞	$10^4 \dots 10^6$
Входные токи $I_{\text{вх1}}, I_{\text{вх2}}$, А	0	$10^{-12} \dots 10^{-6}$
Входное дифференциальное сопротивление $R_{\text{вх}}^{\text{диф}}$, Ом	∞	$10^4 \dots 10^{12}$
Выходное сопротивление $R_{\text{вых}}$, Ом	0	$100 \dots 5 \cdot 10^3$
Частота единичного усиления f_1 , Гц	∞	$10^5 \dots 10^8$

Инвертирующий усилитель на ОУ

Инвертирующий усилитель изменяет знак выходного сигнала относительно входного. Он создается введением по инвертирующему входу ОУ с помощью резистора $R_{\text{ос}}$ параллельной отрицательной обратной связи по напряжению (рис. 4.5). Неинвертирующий вход связывается с общей точкой входа и выхода схемы (заземляется). Входной сигнал подается через резистор R_1 на инвертирующий вход ОУ.

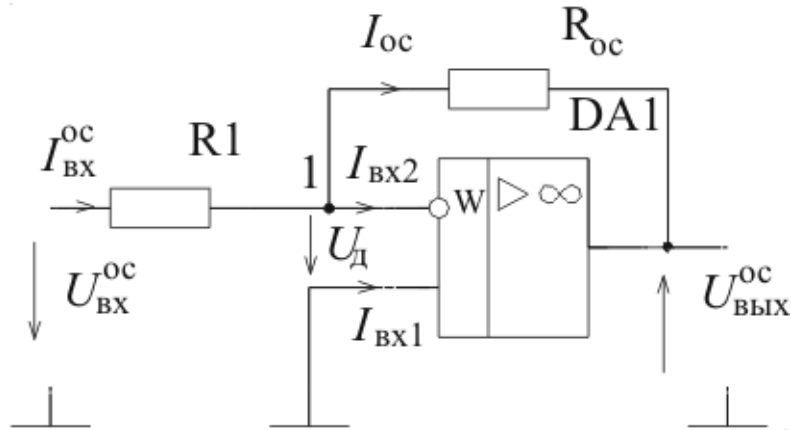


Рис. 4.5. Схема инвертирующего усилителя на ОУ

Для узла 1 можно записать токовое уравнение Кирхгофа

$$I_{\text{ВХ}}^{\text{oc}} = I_{\text{oc}} + I_{\text{ВХ}2} \approx I_{\text{oc}}, \quad (4.5)$$

так как в предположении идеальности ОУ можно считать, что $I_{\text{ВХ}2} \rightarrow 0$.

Определяя токи на основе закона Ома для участка цепи, имеем

$$\frac{U_{\text{ВХ}}^{\text{oc}} - U_{\text{Д}}}{R1} = \frac{U_{\text{Д}} - U_{\text{ВЫХ}}^{\text{oc}}}{R_{\text{oc}}} \quad (4.6)$$

Поскольку дифференциальный коэффициент $K_u^{\text{диф}}$ разомкнутого идеального ОУ считается бесконечно большим, то дифференциальное напряжение $U_{\text{Д}} \rightarrow 0$. Отсюда

$$\frac{U_{\text{ВХ}}^{\text{oc}}}{R1} = -\frac{U_{\text{ВЫХ}}^{\text{oc}}}{R_{\text{oc}}}, \quad (4.7)$$

или

$$U_{\text{ВЫХ}}^{\text{oc}} = -U_{\text{ВХ}}^{\text{oc}} \frac{R_{\text{oc}}}{R1}. \quad (4.8)$$

Соответственно коэффициент усиления инвертирующего усилителя по напряжению будет равен

$$K_u^{oc} = \frac{U_{\text{ВЫХ}}^{oc}}{U_{\text{ВХ}}^{oc}} = -\frac{R_{oc}}{R1}. \quad (4.9)$$

Неинвертирующий усилитель на ОУ

Неинвертирующий усилитель не изменяет знак выходного сигнала относительно входного. Он создается введением по инвертирующему входу ОУ с помощью резистора R_{oc} последовательной отрицательной обратной связи по напряжению (рис. 4.6). Входной сигнал подается непосредственно на неинвертирующий вход ОУ.

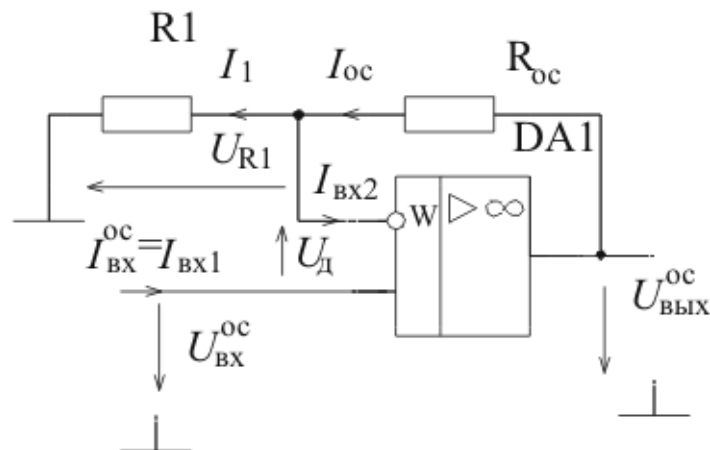


Рис. 4.6. Схема неинвертирующего усилителя на ОУ

Входное напряжение связано с разностью напряжений на входах ОУ и напряжением на инвертирующем входе U_{R1} :

$$U_{\text{ВХ}}^{oc} = U_{R1} + U_d \approx U_{R1}. \quad (4.10)$$

Считая входные токи ОУ ничтожно малыми, напряжение на инвертирующем входе

$$U_{R1} = \frac{R1}{R1 + R_{oc}} U_{вых}^{oc}. \quad (4.11)$$

Подставляя (4.11) в (4.10), имеем

$$U_{вых}^{oc} = U_{R1} + U_{д} \approx U_{R1} = \frac{R1}{R1 + R_{oc}} U_{вых}^{oc}. \quad (4.12)$$

Отсюда находим коэффициент усиления неинвертирующего усилителя по напряжению

$$K_u^{oc} = \frac{U_{вых}^{oc}}{U_{вх}^{oc}} = \frac{R1 + R_{oc}}{R1} = 1 + \frac{R_{oc}}{R1}. \quad (4.13)$$

Инвертирующий сумматор на ОУ

Аналоговым сумматором (рис. 4.7) называется функциональный преобразователь аналоговых сигналов, осуществляющий их суммирование с определенными весовыми коэффициентами. В общем случае выходное напряжение сумматора описывается выражением

$$U_{вых} = K_{u1} U_{вх1} + K_{u2} U_{вх2} + \dots + K_{uN} U_{вхN}, \quad (4.14)$$

где $K_{u1}, K_{u2}, \dots, K_{uN}$ называются весовыми или масштабными коэффициентами.

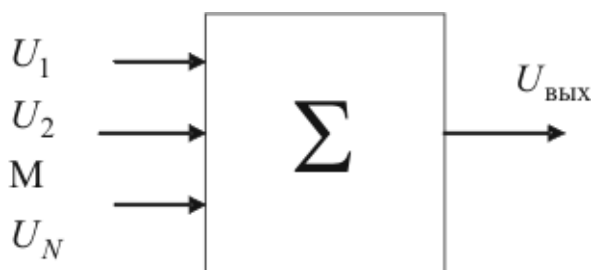


Рис. 4.7. Функциональное обозначение аналогового сумматора

Входными могут быть как постоянные, так и переменные сигналы. Весовые коэффициенты у инвертирующих сумматоров отрицательны, а у неинвертирующих – положительны.

Схема инвертирующего сумматора на ОУ приведена на рис. 4.8. Она отличается от схемы инвертирующего усилителя (см. рис. 4.5) только наличием входных резисторов $R_2, R_3... R_N$. Число «параллельных» ветвей резисторов на входе инвертирующего усилителя равно числу входных сигналов.

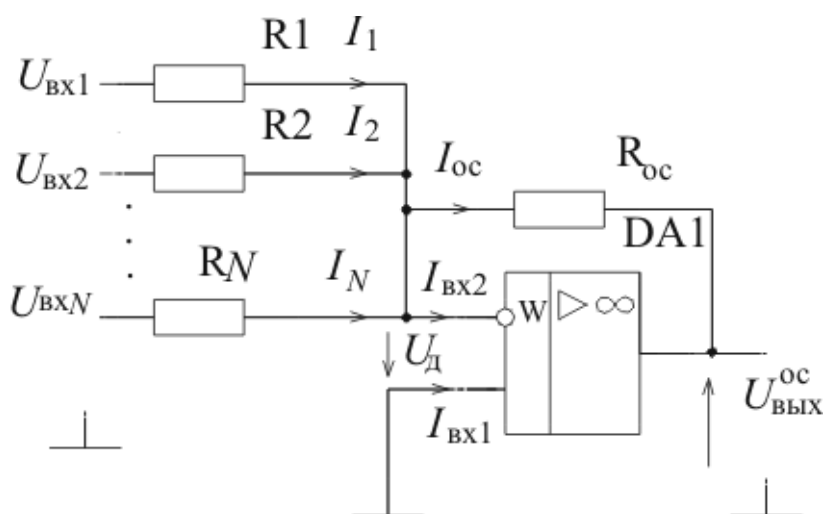


Рис. 4.8. Схема инвертирующего сумматора на ОУ

Для узла суммирования можно записать токовое уравнение Кирхгофа

$$I_1 + I_2 + \dots + I_N = I_{oc} + I_{вх2}. \quad (4.15)$$

Считая ОУ идеальным, входной ток $I_{вх2} \rightarrow 0$, поэтому

$$I_1 + I_2 + \dots + I_N = I_{oc} + I_{вх2} \approx I_{oc}. \quad (4.16)$$

Выражая входные токи через разности напряжений и величины входных сопротивлений, имеем

$$\frac{U_{вх1} - U_{д}}{R1} + \frac{U_{вх2} - U_{д}}{R2} + \dots + \frac{U_{вхN} - U_{д}}{RN} = \frac{U_{д} - U_{ВЫХ}^{oc}}{R_{oc}}. \quad (4.17)$$

Так как дифференциальный коэффициент разомкнутого усилителя у идеального ОУ бесконечно большой, то дифференциальное напряжение $U_d \rightarrow 0$. Отсюда

$$\frac{U_{\text{вх1}}}{R_1} + \frac{U_{\text{вх2}}}{R_2} + \dots + \frac{U_{\text{вхN}}}{R_N} = -\frac{U_{\text{вых}}^{\text{ос}}}{R_{\text{ос}}}. \quad (4.18)$$

Из выражения (4.18) получаем выражение для выходного напряжения сумматора

$$U_{\text{вых}}^{\text{ос}} = -\frac{R_{\text{ос}}}{R_1} U_{\text{вх1}} - \frac{R_{\text{ос}}}{R_2} U_{\text{вх2}} - \dots - \frac{R_{\text{ос}}}{R_N} U_{\text{вхN}}. \quad (4.19)$$

Коэффициенты $-\frac{R_{\text{ос}}}{R_1}; -\frac{R_{\text{ос}}}{R_2}; \dots -\frac{R_{\text{ос}}}{R_N}$ есть не что иное, как весовые или масштабные коэффициенты сумматора.

Модельный эксперимент

Цель работы

1. Изучить основные схемы усилителей постоянного тока на основе ОУ:

- инвертирующего усилителя;
- неинвертирующего усилителя;
- инвертирующего сумматора.

2. Экспериментально проверить теорию построения усилителей постоянного тока на ОУ.

3. Изучить способы компенсации напряжения смещения нуля $U_{\text{см0}}$ в схеме инвертирующего усилителя постоянного тока на ОУ типа LM741.

4. Приобрести практические навыки по применению ОУ.

Программное обеспечение, приборы и элементы

1. Пакет моделирующих программ *Electronics Workbench v.5.12*, работающих в среде операционной системы *Windows 98*, *Windows XP* или *Windows 2000*. Путь запуска программы *Electronics Workbench*: «рабочий стол *Windows*» → папка «Учебный процесс» → → ярлык



2. Идеальный (*ideal*) операционный усилитель *DA1* из библиотеки *default*. Путь выбора: группа компонентов аналоговых микросхем  *Analog ICs* → трехходовый ОУ  *3-Terminal Opamp*.

3. Операционный усилитель *DA2* типа *LM741* из библиотеки *Im*. Путь выбора аналогичен п.2.

4. Пять источников постоянного напряжения $E_{вх}$, $E1$, $E2$, $E3$, $E_{см0}$ . Путь выбора: группа компонентов источников  *Sources* →  *Battery*.

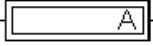
5. Источник постоянного тока  $I_{см0}$ для компенсации напряжения смещения нуля ОУ. Путь выбора: группа компонентов источников  *Sources* →  *DC Current Source*.

6. Заземление. Путь выбора: группа компонентов источников  *Sources* →  *Ground*.

7. Набор резисторов R_i  с разбросом сопротивлений относительно номинального значения $\pm 0,1\%$; Путь выбора: группа базовых компонентов  *Basic* →  *Resistor*.

8. Два переключателя *SB1* и *SB2* , управляемые клавишами «I» и «U», соответственно. Путь выбора: Группа базовых компонентов  *Basic* →  *Switch*. Назначение клавиш управления (*Key*) производится через окно свойств элемента (*Switch Properties*)

9. Вольтметры *PV1* и *PV2*  с внутренним сопротивлением 10 Мом. Путь выбора: группа компонентов индикаторные приборы  *Indicators* →  *Voltmeter*.

10. Амперметр *PA1*  с внутренним сопротивлением 1 МОм. Путь выбора: группа компонентов индикаторные приборы  *Indicators* →  *Ammeter*.

Программа работы

1. Ознакомиться с порядком выполнения лабораторной работы.
2. Изучить схемы включения ОУ.
3. Исследовать работу инвертирующего усилителя на ОУ.
4. Исследовать работу неинвертирующего усилителя на ОУ.
5. Исследовать работу инвертирующего сумматора на ОУ.
6. Исследовать способы компенсации смещения нуля на выходе инвертирующего усилителя на основе ОУ *LM741*.

Порядок проведения работы

1. Ответить на контрольные вопросы и расписаться в журнале по технике безопасности.

2. Ознакомиться с электрическими схемами, приборами и элементами, используемыми в лабораторной установке.

3. Получить у преподавателя разрешение на выполнение лабораторной работы, включить компьютер и запустить программу *Electronics Workbench*.

4. Провести исследование инвертирующего усилителя на основе идеального ОУ *DA1 (ideal)*.

4.1. Собрать схему моделируемой лабораторной установки, изображенной на рис. 4.9. Номиналы резисторов и величину напряжения источника установить такие, как указано на этой схеме.

Выбрать модель ОУ. Для этого двойным щелчком левой клавиши мыши вызвать диалоговое меню *3-Terminal Opamp Properties* и в окошке *Library* (библиотека) выбрать библиотеку *default*, а в окошке *Model* – модель ОУ *ideal*. После этого левой кнопкой мыши щелкнуть клавишу *OK*.

Установить параметры вольтметров. Вызвав диалоговое окно *Voltmeter Properties*, открыть вкладку *Value* и в окошке *Mode* задать тип вольтметра – *DC* (вольтметр постоянного тока). В окошке *Resistance (R)* установить внутреннее сопротивление вольтметра 10 МОм.

Задать величину напряжения источника постоянного напряжения, вызвав двойным щелчком диалоговое меню *Battery Properties* (свойства источника) и установив во вкладке *Value* (Значение) нужное для проведения опыта значение (*Voltage*). Подтвердить свой выбор щелчком левой клавиши мыши на клавише *OK*.

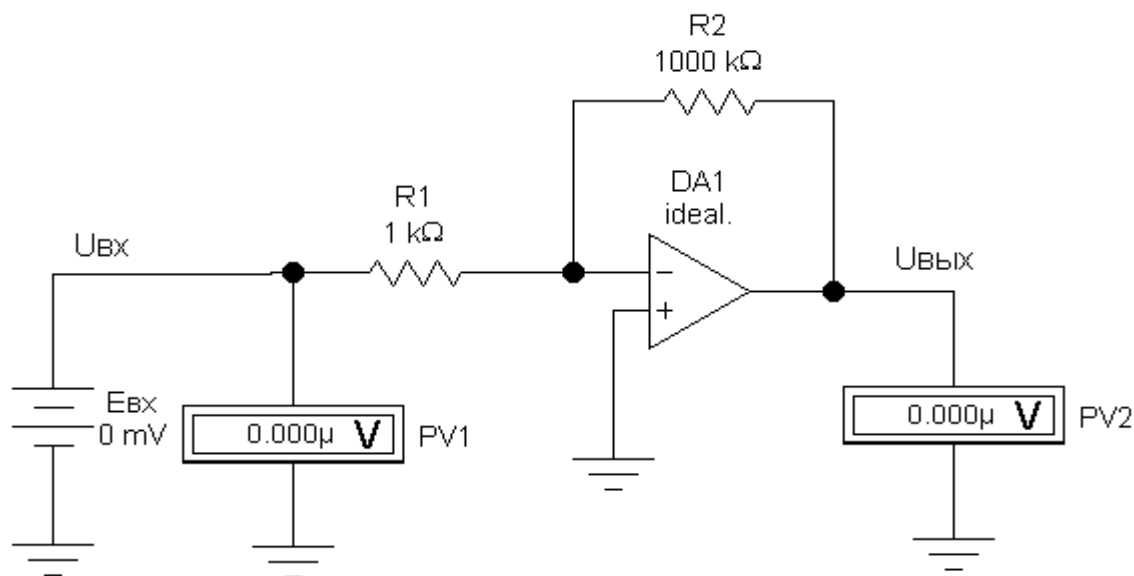


Рис. 4.9. Схема инвертирующего усилителя на основе идеального ОУ

Установить для резистора значение сопротивления и разброс его величины в диалоговом окне *Resistor Properties*. В пункте *Use global tolerance* снять галочку. В пункте *Resistance tolerance* задать разброс 0,1 %.левой кнопкой мыши нажать клавишу *OK*.

4.2. Включить установку с помощью выключателя в правом верхнем углу экрана и занести показания входного $U_{вх}$ и выходного $U_{вых}$ вольтметров в табл. 4.1 при $E_{вх} = 0\text{ В}$, $R_1 = 1\text{ кОм}$, $R_2 = 1000\text{ кОм}$.

4.3. Изменяя номиналы резисторов R_1 и R_2 и значения входного напряжения, провести серию опытов в соответствии с данными табл. 4.1.

4.4. Вычислить теоретический и экспериментальный коэффициенты усиления инвертирующего усилителя по напряжению, а также относительную погрешность усиления δ :

$$K_u^{\text{теор}} = -\frac{R2}{R1}; \quad (4.20)$$

$$K_u^{\text{эксп}} = \frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}}; \quad (4.21)$$

$$\delta = \frac{(K_u^{\text{теор}} - K_u^{\text{эксп}})}{K_u^{\text{теор}}} 100 \%. \quad (4.22)$$

Результаты вычислений занести в табл. 4.1.

Таблица 4.1

$U_{\text{ВХ}},$ мВ	$R1,$ кОм	$R2,$ кОм	$U_{\text{ВЫХ}},$ В	$K_u^{\text{теор}}$	$K_u^{\text{эксп}}$	$\delta,$ %
0	1	10				
		100				
		1000				
10	1	10				
		100				
		1000				
100	10	10				
		100				
		1000				

4.5. Предъявить результаты измерений и вычислений преподавателю для получения разрешения на проведение дальнейших исследований.

5. Провести исследование неинвертирующего усилителя на основе идеального ОУ *DA (ideal)*.

5.1. Собрать схему, показанную на рис. 4.10. Установить номиналы резисторов и величины напряжений источников такие, как указано на этой схеме.

5.2. Включить установку с помощью выключателя в правом верхнем углу экрана и занести показания входного $U_{\text{ВХ}}$ и выходного $U_{\text{ВЫХ}}$ вольтметров в табл. 4.2 при $E_{\text{ВХ}} = 0$ В, $R1 = 1$ кОм, $R2 = 1000$ кОм.

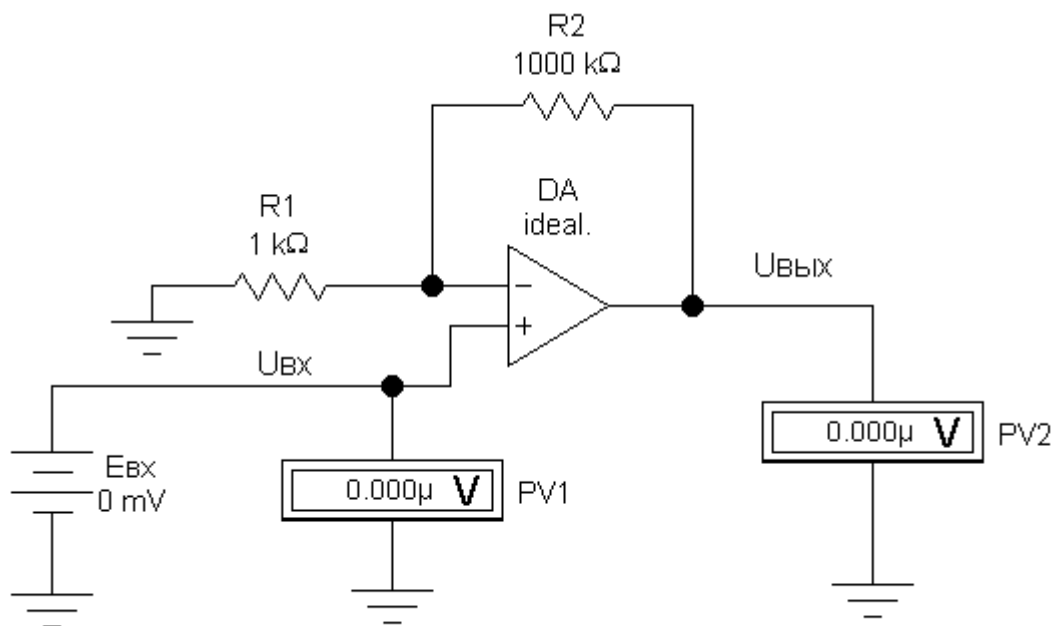


Рис. 4.10. Схема неинвертирующего усилителя на основе идеального ОУ

Таблица 4.2

$U_{\text{вх}},$ мВ	$R_1,$ кОм	$R_2,$ кОм	$U_{\text{вых}},$ В	$K_u^{\text{теор}}$	$K_u^{\text{эксп}}$	$\delta,$ %
0	1	10 100 1000				
10	1	10 100 1000				
100	10	10 100 1000				

5.3. Изменяя номиналы резисторов R_1 и R_2 и значения входного напряжения, провести серию опытов в соответствии с данными табл. 4.2.

5.4. Вычислить теоретический и экспериментальный коэффициенты усиления неинвертирующего усилителя по напряжению, а также относительную погрешность измерений

$$K_u^{\text{теор}} = 1 + \frac{R2}{R1}; \quad (4.23)$$

$$K_u^{\text{эксп}} = \frac{U_{\text{ВЫХ}}}{U_{\text{ВХ}}}; \quad (4.24)$$

$$\delta = \frac{(K_u^{\text{теор}} - K_u^{\text{эксп}})}{K_u^{\text{теор}}} 100 \%. \quad (4.25)$$

Результаты вычислений занести в табл. 4.2

5.5. Предъявить результаты измерений и вычислений преподавателю для получения разрешения на проведение дальнейших исследований.

6. Провести исследование инвертирующего суммирующего усилителя (сумматора) на основе идеального ОУ DA (*ideal*) рис. 4.11.

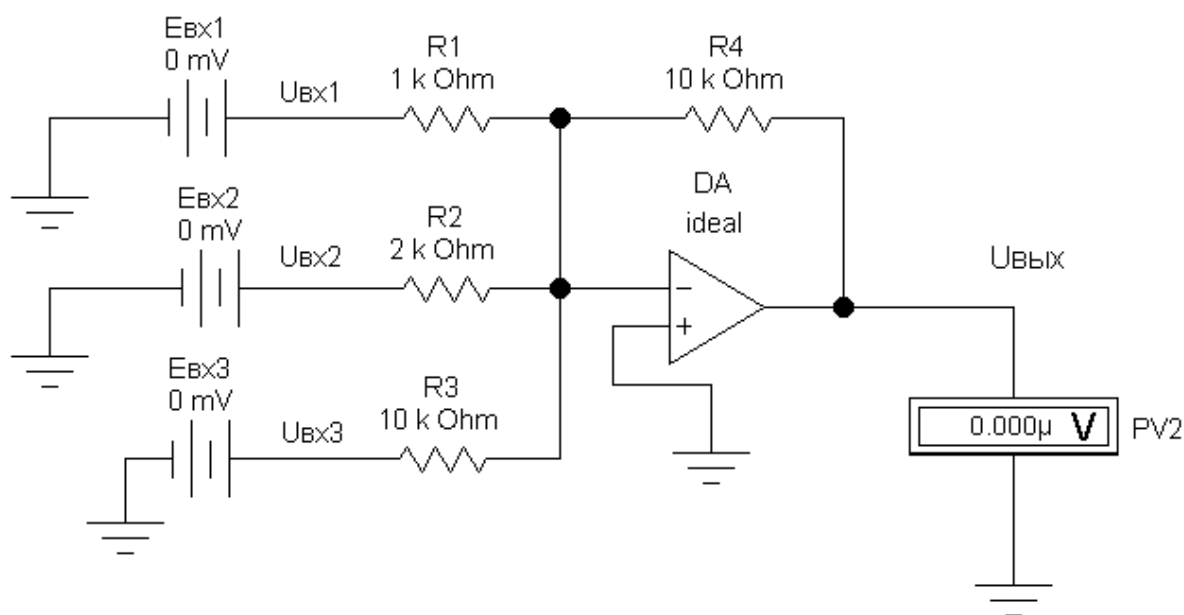


Рис. 4.11. Схема инвертирующего сумматора на основе идеального ОУ

6.1. Из находящихся на рабочем столе элементов, добавив недостающие элементы, смоделировать лабораторную установку в соответствии со схемой. Установить номиналы резисторов и величины напряжений* источников такие, как указано на этой схеме.

6.2. Включить установку с помощью выключателя в правом верхнем углу экрана и, изменяя номиналы резисторов $R1 \dots R4$ и значения входных напряжений, провести серию опытов в соответствии с данными табл. 4.3.

6.3. Рассчитать величину напряжения на выходе усилителя

$$U_{\text{ВЫХ}}^{\text{теор}} = -\frac{R4}{R1}U_{\text{ВХ1}} - \frac{R4}{R2}U_{\text{ВХ2}} - \frac{R4}{R3}U_{\text{ВХ3}} \quad (4.26)$$

и относительную ошибку суммирования

$$\delta = \frac{U_{\text{ВЫХ}}^{\text{теор}} - U_{\text{ВЫХ}}^{\text{эксп}}}{U_{\text{ВЫХ}}^{\text{теор}}} 100 \%. \quad (4.27)$$

Результаты вычислений занести в табл. 4.3.

Таблица 4.3

$U_{\text{ВХ1}},$ мВ	$U_{\text{ВХ2}},$ мВ	$U_{\text{ВХ3}},$ мВ	$R1,$ кОм	$R2,$ кОм	$R3,$ кОм	$R4,$ кОм	$\frac{R4}{R1}$	$\frac{R4}{R2}$	$\frac{R4}{R3}$	$U_{\text{ВЫХ}}^{\text{теор}},$ В	$U_{\text{ВЫХ}}^{\text{эксп}},$ В	$\delta,$ %
0	−0	0	1	2	10	100						
10	−30	100	1	2	10	100						
10	−30	100	10	10	10	100						
10	−30	100	2	1	10	100						
10	−30	100	2	1	10	10						

6.4. Предъявить результаты измерений и вычислений преподавателю для получения разрешения на проведение дальнейших исследований.

* Так как внутреннее сопротивление источников $E_{\text{ВХ1}}, E_{\text{ВХ2}}, E_{\text{ВХ3}}$ равно нулю, то $E_{\text{ВХ1}} = U_{\text{ВХ1}}, E_{\text{ВХ2}} = U_{\text{ВХ2}}, E_{\text{ВХ3}} = U_{\text{ВХ3}}$.

7. Провести исследование способов компенсации напряжения смещения нуля инвертирующего усилителя постоянного тока на основе ОУ LM741.

7.1. Собрать схему моделируемой лабораторной установки, изображенной на рис. 4.12.

Для выбора модели ОУ вызвать его диалоговое окно свойств *3-Terminal Opamp Properties*, в этом окне открыть вкладку *Models* и в окошке *Library* (библиотека) выбрать левой клавишей мыши библиотеку *Im*, а в окошке *Model* – модель ОУ LM741. После этого левой кнопкой мыши щелкнуть клавишу OK.

Внутреннее сопротивление амперметра можно не устанавливать, так как оно по умолчанию равно 1 мОм.

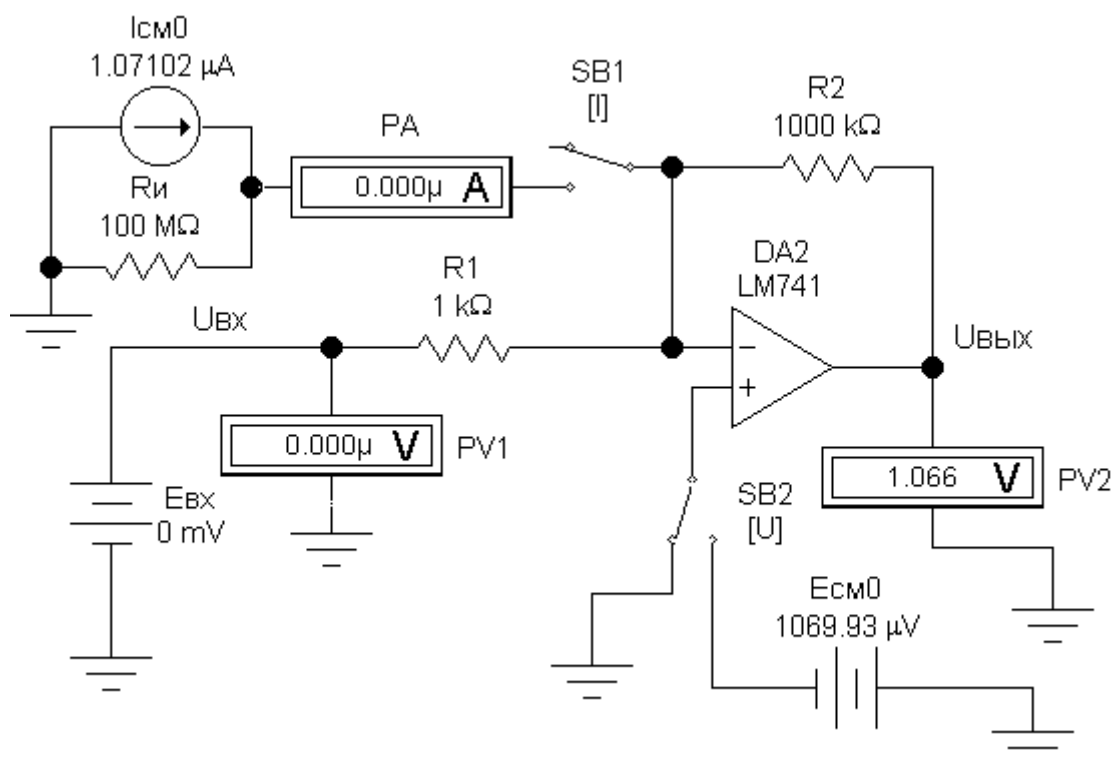


Рис. 4.12. Схема для измерения $U_{см0}$ и исследования способов его компенсации

Задать клавиши управления переключателями. Для этого двумя кликами мыши вызвать меню *Switch Properties*, открыть вкладку *Value* и в окошке *Key* впечатать *I* и *U*, соответственно.

7.2. Отключить переключателем $SB1$ компенсирующий источник тока $I_{см0}$ от инвертирующего входа ОУ; неинвертирующий вход ОУ переключателем $SB2$ присоединить к общему проводу (земле); задать $R1 = 1 \text{ кОм}$, $R2 = 1000 \text{ кОм}$, $E_{вх} = 0$.

7.3. Включить питание схемы и снять показания вольтметра $PV2$ – значение напряжения смещения нуля на выходе инвертирующего усилителя $U_{см0}^{вых}$.

7.4. Рассчитать напряжение смещения нуля ОУ, приведенное к входу

$$U_{см0} = \frac{U_{см0}^{вых}}{\frac{R2}{R1} + 1}. \quad (4.28)$$

7.5. При помощи ключа $SB2$ подключить компенсирующий источник напряжения смещения к неинвертирующему входу ОУ и установить $E_{см0} = U_{см0}$.

7.6. Изменяя величину напряжения компенсирующего источника $E_{см0}$ (желательно до сотых долей мкВ), добиться минимальной ошибки на выходе ОУ. Значение выходного напряжения ошибки и ЭДС источника смещения записать как

$$U_{см0}^{вых*} = \underline{\hspace{2cm}} \text{ В}; \quad E_{см0}^* = \underline{\hspace{2cm}} \text{ мкВ}.$$

7.7. Установить $U_{вх} = 10 \text{ мВ}$ и для двух положений переключателя $SB2$ измерить величину выходного напряжения. Результаты измерений занести в табл. 4.4

Таблица 4.4

$U_{вх},$ мВ	$R1,$ кОм	$R2,$ кОм	$U_{вых}, \text{ В}$ ($E_{см0} = 0$)	$U_{вых}, \text{ В}$ ($E_{см0} \neq 0$)	$K_u^{теор}$	$K_u^{эксп}$ ($E_{см0} = 0$)	$K_u^{эксп}$ ($E_{см0} \neq 0$)	$\delta, \%$ ($E_{см0} = 0$)	$\delta, \%$ ($E_{см0} \neq 0$)
10	1	1000							

7.8. Вычислить теоретический и экспериментальный коэффициенты усиления инвертирующего усилителя по напряжению, а также относительную погрешность усиления δ , воспользовавшись формулами (4.20), (4.21), (4.22). Результаты вычислений занести в табл. 4.4.

7.9. Подключить компенсирующий источник тока смещения $I_{см0}$ к инвертирующему входу ОУ (при помощи ключа SB1) и установить $I_{см0} = 1,071 \text{ мкА}$. Неинвертирующий вход ОУ при помощи ключа SB2 присоединить к общему проводу (компенсирующий источник напряжения $E_{см0}$ – отсоединить).

7.10. Изменяя величину тока компенсирующего источника $I_{см0}$ добиться минимальной ошибки на выходе ОУ. Значение ошибки записать как

$$U_{см0}^{ВЫХ} ** = \text{_____ В}; I_{см0} ** = \text{_____ мкА}.$$

7.11. Установить $U_{вх} = 10 \text{ мВ}$ и для двух положений переключателя SB1 измерить величину выходного напряжения. Результаты измерений занести в табл. 4.5

Таблица 4.5

$U_{вх},$ мВ	$R1,$ кОм	$R2,$ кОм	$U_{вых}, \text{ В}$ ($I_{см0} = 0$)	$U_{вых}, \text{ В}$ ($I_{см0} \neq 0$)	$K_u^{\text{теор}}$	$K_u^{\text{эксп}}$ ($I_{см0} = 0$)	$K_u^{\text{эксп}}$ ($I_{см0} \neq 0$)	$\delta, \%$ ($I_{см0} = 0$)	$\delta, \%$ ($I_{см0} \neq 0$)
10	1	1000							

7.12. Вычислить теоретический и экспериментальный коэффициенты усиления инвертирующего усилителя по напряжению, а также относительную погрешность усиления δ , воспользовавшись формулами (4.20), (4.21), (4.22). Результаты вычислений занести в табл. 4.5.

7.13. Предъявить данные измерений и вычислений преподавателю и получить разрешение на окончание работы.

8. После окончания модельного эксперимента закрыть созданный файл без сохранения внесенных изменений (*Revert to Saved...*). Выйти из программы *Electronics Workbench*.

Содержание отчёта

1. Цель работы.
2. Программа работы.
3. Принципиальные электрические схемы инвертирующего, неинвертирующего и суммирующего усилителей на основе идеального ОУ, выполненные по отечественным стандартам.
4. Принципиальная электрическая схема лабораторной установки для исследований методов компенсации напряжения смещения нуля ОУ.
5. Таблицы с результатами измерений и вычислений.
6. Краткие выводы по работе.

Контрольные вопросы

При допуске к лабораторной работе:

1. Каковы цель и программа работы?
2. В каких областях и для чего применяются ОУ?
3. Какие основные выводы имеются у ОУ?
4. Чем отличаются инвертирующий и неинвертирующий входы у ОУ?
5. Что такое проходная характеристика ОУ и каков её вид?
6. Что называется дифференциальным коэффициентом усиления ОУ?
7. Какой ОУ считается идеальным?
8. По какой формуле считается коэффициент усиления по напряжению инвертирующего усилителя постоянного тока на основе ОУ?
9. По какой формуле считается коэффициент усиления по напряжению неинвертирующего усилителя постоянного тока на основе ОУ?
10. Что такое напряжение смещения нуля ОУ?
11. Что называется дрейфом выходного напряжения ОУ?
12. Какую функцию выполняет инвертирующий сумматор?
13. Что называют масштабными коэффициентами сумматора?

При защите лабораторной работы необходимо ответить на все вышеперечисленные вопросы и, кроме того:

1. Какой тип обратной связи применяется в инвертирующем усилителе на ОУ?

2. Какой тип обратной связи применяется в неинвертирующем усилителе на ОУ?

3. Какой тип обратной связи применяется в инвертирующем сумматоре на ОУ?

4. От чего зависит ошибка усиления сигнала в усилителях на ОУ?

5. Определить приведенное к входу напряжение смещения нуля ОУ.

6. Нарисуйте схему инвертирующего усилителя постоянного тока на основе ОУ и объясните ее работу.

7. Нарисуйте схему неинвертирующего усилителя постоянного тока на основе ОУ и объясните ее работу.

8. Нарисуйте схему инвертирующего сумматора на основе ОУ и объясните ее работу.

Т е м а 5

RS - И JK -ТРИГГЕРЫ

Теоретические сведения

Триггер – это устройство, обладающее двумя устойчивыми состояниями. Триггер имеет два выхода – прямой Q и инверсный $\bar{Q}$. Состояние триггера определяется логическим уровнем сигнала на его прямом выходе Q . Говорят, что триггер находится в единичном состоянии, если $Q = 1$, а $\bar{Q} = 0$ и, соответственно, в нулевом, когда $Q = 0$, а $\bar{Q} = 1$. У некоторых триггеров, в частности у RS-триггеров, имеется неопределенное состояние, когда логические уровни сигналов на выходах одинаковы ($Q = \bar{Q}$). Такое состояние является запрещенным.

Переход из одного состояния в другое (процесс опрокидывания триггера) происходит лавинообразно за счет внутренней глубокой положительной обратной связи. В отличие от линейных комбинационных схем логическое состояние выходных сигналов триггера зависит не только от комбинации входных информационных сигналов (сигналов на R, S, D, C, J, K и других входах), но и от его внутреннего исходного состояния.

Триггеры могут работать в режиме записи (установки), хранения и перезаписи.

По способу записи информации триггеры делятся на несинхронизируемые (асинхронные) и синхронизируемые (синхронные).

По способу синхронизации триггеры подразделяются на:

- синхронные триггеры, управляемые потенциалом (статические или одноктактные триггеры);
- синхронные триггеры, управляемые фронтом, которые называются также динамическими или двухтактными триггерами.

У асинхронных триггеров изменение состояния на выходе происходит при любой смене входных сигналов. Если при формировании входных сигналов возникают короткие ложные импульсы, то они могут вызвать ложные срабатывания триггера. Это и является основным недостатком асинхронных триггеров.

Условное графическое обозначение (УГО) асинхронного RS -триггера с инверсными входами приведено на рис. 5.1. Буква «Т» на основном поле означает, что триггер одноканальный. Кружки указывают на инвертирование сигнала, например, чтобы установить триггер в единичное состояние ($Q = 1$) необходимо на вход установки подать $\bar{S} = 0$.

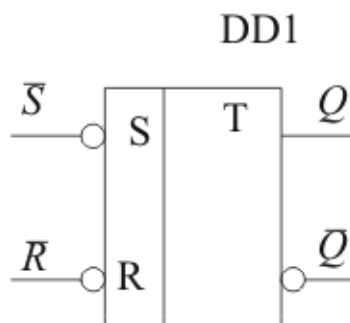


Рис. 5.1. УГО асинхронного RS -триггера с инверсными входами

Закон функционирования RS -триггера описывается таблицей истинности (табл. 5.1).

Таблица 5.1

Подаваемая логическая комбинация информационных сигналов (момент времени t)		Установившееся логическое состояние на выходах после подачи информационных сигналов (момент времени $t+1$)	
$\bar{S}$	$\bar{R}$	Q^{t+1}	$\bar{Q}^{t+1}$
0	1	1	0
1	0	0	1
1	1	Q^t	$\bar{Q}^t$
0	0	1	1

В табл. 5.1 через Q^t и $\bar{Q}^t$ обозначены выходные логические уровни сигналов триггера до установки комбинации входных сигналов, а через Q^{t+1} и $\bar{Q}^{t+1}$ — состояние триггера после установки указан-

ной комбинации входных сигналов. В последней строке на прямом и инверсном выходах триггера устанавливаются единичные уровни, что недопустимо. Для RS -триггера с инверсными входами комбинация $\overline{R} = 0, \overline{S} = 0$ является запрещенной.

Для исключения ложных срабатываний применяют синхронные триггеры, у которых изменение выходных состояний происходит в момент подачи специальных синхроимпульсов. Эти синхроимпульсы подаются после завершения переходных процессов в схемах формирования входных управляющих сигналов триггера. Вход C , на который подаются синхроимпульсы называют синхровходом (иногда его называют тактовым входом). УГО синхронного RS -триггера с прямыми входами показано на рис. 5.2.

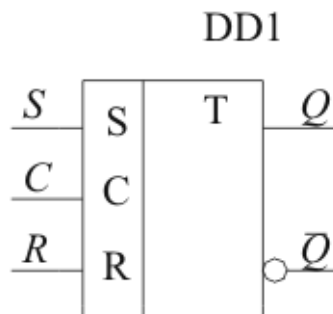


Рис. 5.2. УГО синхронного статического RS -триггера с прямыми входами

Этот триггер изменяет выходное состояние под воздействием входных информационных сигналов при активном потенциале на синхровходе C , поэтому триггеры такого класса называют "синхронными триггерами, управляемыми потенциалом" (или однотоковыми триггерами). Закон функционирования синхронного с прямыми входами описывается табл. 5.2. Первая строка таблицы состояний синхронного RS -триггера соответствует режиму хранения, последняя – запрещенной комбинации. X – означает любой логический уровень сигнала.

Динамическими триггерами называют синхронные триггеры, управляемые фронтом либо срезом синхроимпульсов. Их называют также двухтактными триггерами, поскольку процесс изменения их состояния происходит за два такта.

Любой динамический триггер состоит из двух однотоковых синхронных триггеров – ведущего (*master*) и ведомого (*slave*). Уста-

новка состояния ведущего триггера происходит в первом такте (например, при высоком уровне сигнала на синхровходе C). Установка ведомого – во втором такте, например, после изменения уровня сигнала на синхровходе C с высокого на низкий. В ведомый триггер перезаписывается состояние ведущего триггера.

Таблица 5.2

Подаваемая логическая комбинация входных сигналов (момент времени t)			Установившееся логическое состояние на выходах после подачи входных сигналов (момент времени $t+1$)	
C	S	R	Q^{t+1}	$\bar{Q}^{t+1}$
0	X	X	Q^t	$\bar{Q}^t$
1	0	0	Q^t	$\bar{Q}^t$
1	0	1	0	1
1	1	0	1	0
1	1	1	1	1

К числу динамических триггеров относится, исследуемый в настоящей лабораторной работе JK -триггер. Его условное графическое изображение приведено на рис. 5.3. Закон функционирования JK -триггера описывается табл. 5.3.

Изменение либо подтверждение состояния триггеров происходят по срезу синхроимпульса (это показывает косая черта на синхровходе C и знак « $\neg$ » в таблице истинности).

В JK -триггере, по сравнению с синхронным RS -триггером, устранена неопределенность состояния при подаче на его информационные входы (J и K) активных уровней сигнала (сравните последние строки табл. 5.2 и 5.3). JK -триггер в этой ситуации инвертирует свое выходное состояние по каждому фронту сигнала (в данном случае по спадающему) на синхровходе C . Таким образом, он работает как счетный T -триггер.

JK -триггер называют универсальным, поскольку путем коммутации выводов его можно превратить в любой другой тип триггера: RS , D или T .

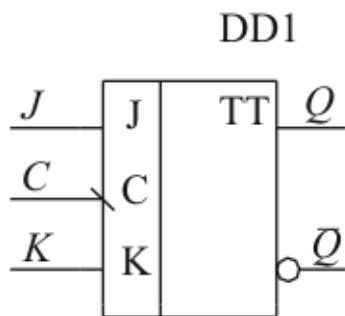


Рис. 5.3. УГО JK -триггера

Таблица. 5.3

Подаваемая логическая комбинация входных сигналов (момент времени t)			Установившееся логическое состояние на выходах после подачи входных сигналов (момент времени $t+1$)	
C	J	K	Q^{t+1}	$\bar{Q}^{t+1}$
0	X	X	Q^t	$\bar{Q}^t$
1	X	X	Q^t	$\bar{Q}^t$
$\neg$	0	0	Q^t	$\bar{Q}^t$
$\neg$	0	1	0	1
$\neg$	1	0	1	0
$\neg$	1	1	$\bar{Q}^t$	Q^t

Модельный эксперимент

Цель работы

1. Приобрести навыки моделирования и экспериментального исследования с помощью пакета программ *Electronics Workbench*:

1.1. Асинхронного RS -триггера с инверсными входами на базовых логических элементах 2И-НЕ TTL -логики.

1.2. Статического синхронного *RS*- триггера с прямыми входами на базовых логических элементах 2И-НЕ *TTL*-логики.

1.3. *JK*-триггера на базовых логических элементах И-НЕ *TTL*-логики.

2. Закрепить теоретические знания, полученные на лекциях и самостоятельных занятиях.

Программное обеспечение, приборы и элементы

1. Пакет моделирующих программ *Electronics Workbench* v.5.12, работающих в среде операционной системы *Windows 98*, *Windows XP* или *Windows 2000*. Путь запуска программы *Electronics Workbench*: рабочий стол *Windows* → папка «Учебный процесс» → ярлык .

2. Файл *s_2jk(И-НЕ).ewb* со схемой установки для исследования *JK* - триггера.

3. Файл *RS+JK.ewb* с набором приборов и элементов для выполнения лабораторной работы «Исследование *RS*- и *JK*-триггеров».

4. Двухвходовые и трехвходовые логические элементы 2И-НЕ  и 3И-НЕ  *TTL*-логики типа *TTL* и *TTL**. Путь выбора: группа логических компонентов  *Logic Gates* →  *2-Input NAND Gate* → *Library* «*Dor1*» → *models* «*TTL*» и «*TTL**».

5. Источник питания «логическая единица» +*Vcc*, выдающий напряжение +5В. Путь выбора: группа компонентов источников  *Sources* →  +*Vcc Voltage Source*).

6. Переключатели , управляемые назначенными клавишами. Путь выбора: группа базовых компонентов  *Basic* →  *Switch*.

7. Логические пробники  с напряжением срабатывания 2,4 В, что соответствует минимальному значению сигнала логической единицы цифровых интегральных микросхем *TTL*-логики. Путь выбора: группа компонентов индикаторные приборы  *Indicators* → *Red Probe* .

8. Заземление. Путь выбора: группа компонентов источников  *Sources* →  *Ground*.

Программа работы

1. Изучить подлежащие исследованиям схемы триггеров лабораторной установки.

2. Ознакомиться с типами и моделями элементов, применяемых в схемах триггеров, уяснить пути их выбора и задания параметров.

3. На рабочем поле программы *Electronics Workbench v.5.12* собрать схему и произвести исследование асинхронного *RS*-триггера с инверсными входами, реализованного на двух логических элементах 2И-НЕ.

4. На рабочем поле программы *Electronics Workbench v.5.12* собрать схему и произвести исследование статического синхронного *RS*-триггера с прямыми входами, реализованного на четырех логических элементах 2И-НЕ.

5. На рабочем поле программы *Electronics Workbench v.5.12* собрать схему и произвести исследование *JK*-триггера, реализованного на семи логических элементах 2И-НЕ и двух элементах 3И-НЕ.

Порядок проведения работы

1. Ознакомиться с методическими указаниями по выполнению работы и правилами техники безопасности.

2. Расписаться в журнале по технике безопасности и получить разрешение на проведение лабораторной работы.

3. Запустить программу *Electronics Workbench* щелчком мыши по ее ярлыку, находящемуся на рабочем столе компьютера в папке «Учебный процесс».

4. На рабочем поле программы *Electronics Workbench v.5.12* собрать схему лабораторной установки для исследования асинхронного *RS*-триггера с инверсными входами, реализованного на двух логических элементах 2И-НЕ (рис. 5.4).

Модели логических элементов (в соответствии со схемой *TTL* или *TTL**) выбрать из библиотеки *Dor1* во вкладке *Models* их свойств (*2-Input NAND Gate Properties*).

Задать управляющие клавиши для ключей *SB1* и *SB2*. Для этого поочередно войти в их диалоговые окна *Switch Properties* и в окошке *Key* вкладки *Value* задать управляющие клавиши *S* для ключа *SB1* и *R* для ключа *SB2*. Теперь клавишами *S* и *R* можно замыкать и размыкать соответствующие им ключи.

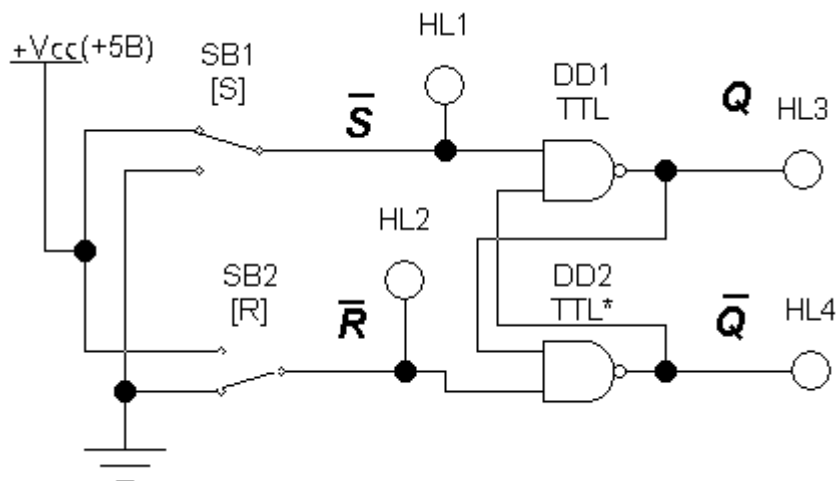


Рис. 5.4. Схема установки для исследования асинхронного RS -триггера с инверсными входами

5. Провести исследования работы асинхронного RS -триггера с инверсными входами, реализованного на двух логических элементах 2И-НЕ (рис. 5.4).

5.1. Включить лабораторную установку, используя переключатель в правом верхнем углу окна программы *Electronics Workbench v.5.12*.

5.2. Зафиксировать и отметить на графиках рис. 5.5 логические уровни выходных сигналов Q и $\bar{Q}$ триггера при различных комбинациях логических сигналов на входах установки $\bar{S}$ и сброса $\bar{R}$. Красный цвет индикаторов соответствует высокому уровню напряжения (+5В – уровень логической единицы), а белый – низкому (0В – логический ноль). Комбинации входных сигналов набирать при помощи ключей $SB1$ и $SB2$ последовательно в соответствии с временными диаграммами на рис. 5.5.

5.3. Заполнить по результатам эксперимента таблицу истинности асинхронного RS -триггера с инверсными входами (табл. 5.4). Для этого проанализировать временные диаграммы и получить ответы на следующие вопросы:

– при каких логических уровнях информационных сигналов асинхронный RS -триггер с инверсными входами устанавливается в единичное состояние?

– при каких логических уровнях информационных сигналов асинхронный RS -триггер с инверсными входами устанавливается в нулевое состояние?

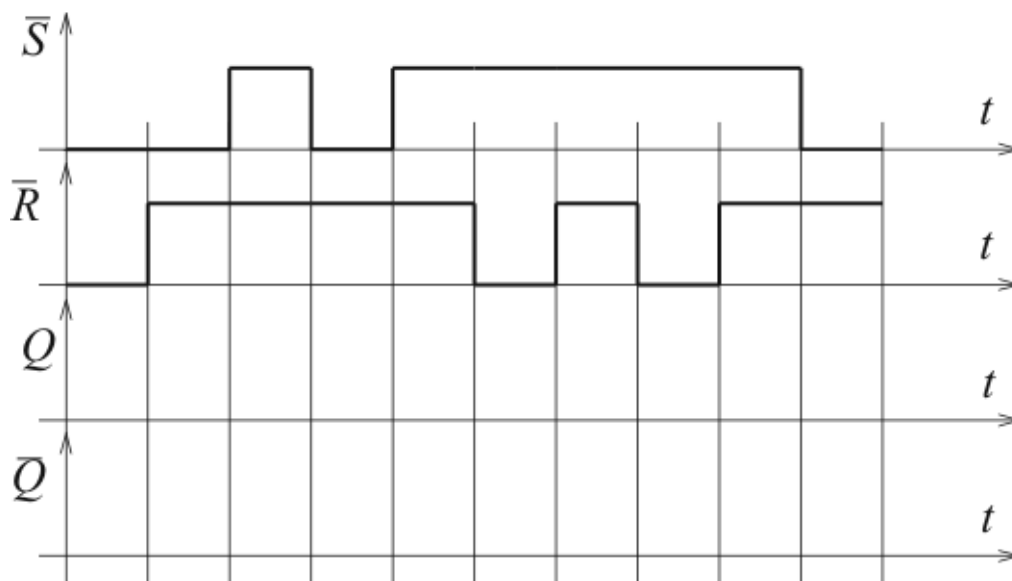


Рис. 5.5. Временные диаграммы работы асинхронного RS -триггера с инверсными входами

– какая комбинация входных информационных сигналов является запрещенной для асинхронного RS -триггера с инверсными входами?

– при каких логических уровнях информационных сигналов асинхронный RS -триггер с инверсными входами осуществляет сохранение своего состояния?

5.4. Завершить работу, закрыв программу *Electronics Workbench* не сохраняя файлов с результатами моделирования (*File* $\rightarrow$ *Revert to Saved...* $\rightarrow$ *OK*).

Таблица 5.4

Подаваемая логическая комбинация входных сигналов (момент времени t)		Установившееся логическое состояние на выходах после подачи входных сигналов (момент времени $t+1$)	
$\bar{S}$	$\bar{R}$	Q^{t+1}	$\bar{Q}^{t+1}$
0	1		
1	0		
1	1		
0	0		

6. Провести исследования работы статического синхронного *RS*-триггера с прямыми входами, реализованного на четырех логических элементах 2И-НЕ.

Схема моделируемой установки приведена на рис. 5.6. На логических элементах *DD3* и *DD4* выполнен *RS*-триггер с инверсными входами. Логические элементы *DD1* и *DD2* играют роль инвертирующих цифровых ключей, управляющих подачей сигналов сброса и установки на информационные входы триггера. При $C = 0$ эти ключи закрыты.

Для проведения исследований выполнить следующую последовательность действий:

6.1. Собрать лабораторную установку в соответствии со схемой на рис. 5.6. Выбор элементов схемы и установку их параметров произвести, как указано в п. 4.

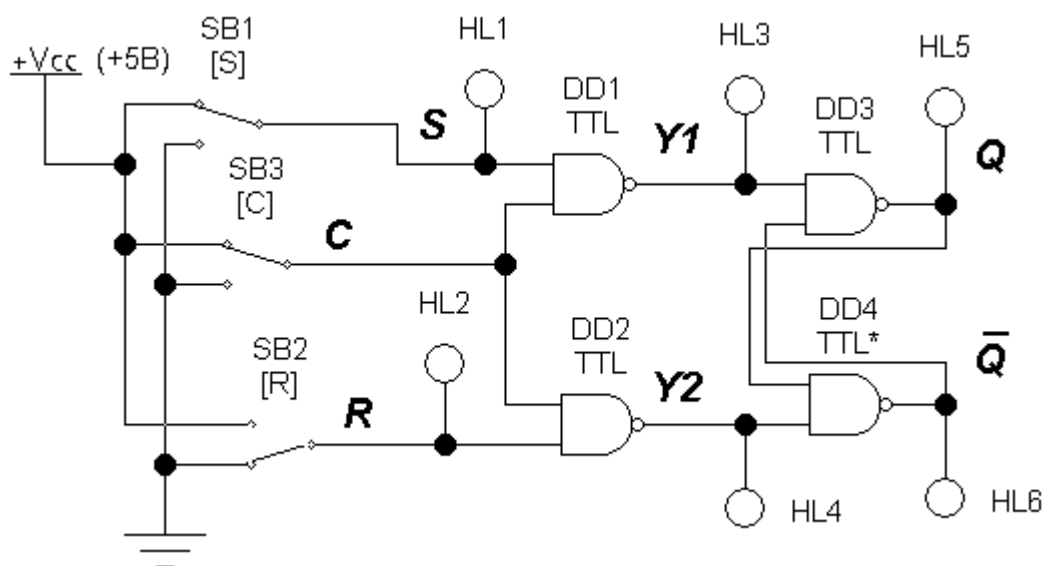


Рис. 5.6. Схема установки для исследования статического синхронного *RS*-триггера с прямыми входами

6.2. Включить лабораторную установку, используя переключатель в правом верхнем углу окна программы *Electronics Workbench* v.5.12.

6.3. Зафиксировать и отметить на графиках (рис. 5.7) логические уровни выходных сигналов Q и $\bar{Q}$ триггера при различных комбинаци-

ях логических сигналов на входах установки S и сброса R . Комбинации входных сигналов набирать при помощи ключей $SB1$, $SB2$ и $SB3$ последовательно в соответствии с временными диаграммами на рис. 5.7.

Примечание. При уровне синхросигнала $C = 0$ необходимо убедиться, что ни при какой комбинации на информационных входах R - и S -триггера не происходит изменений его состояния.

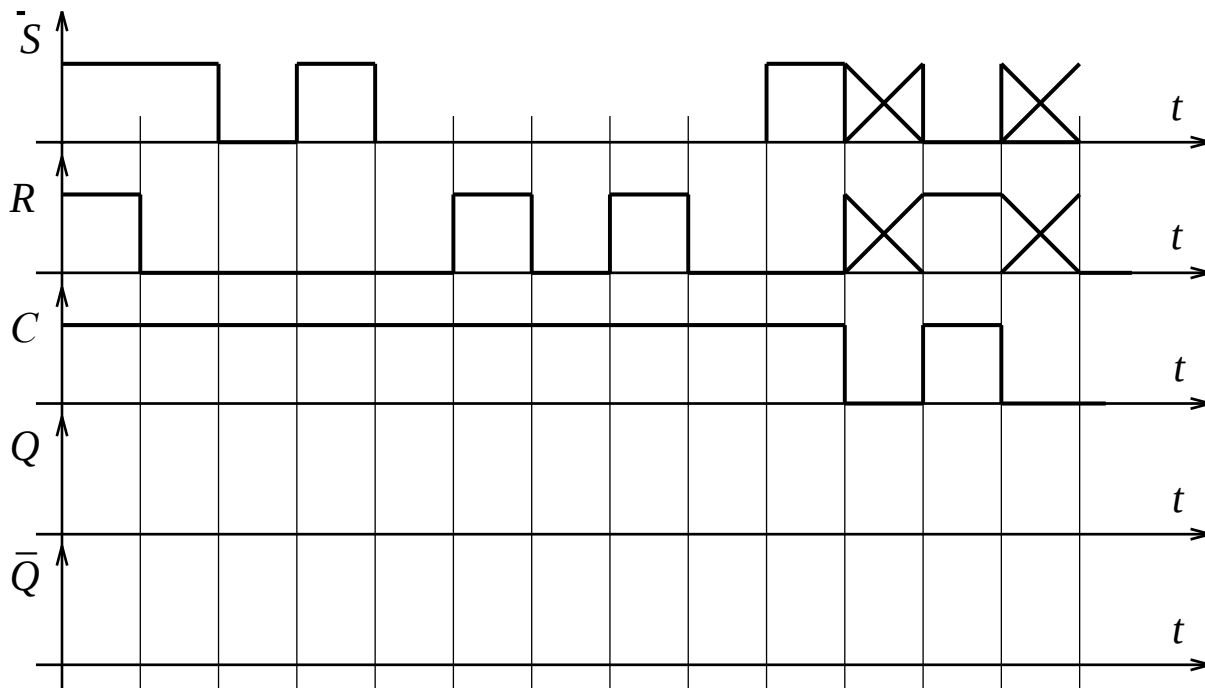


Рис. 5.7. Временные диаграммы работы статического синхронного RS -триггера с прямыми входами

6.4. Заполнить по результатам эксперимента таблицу истинности синхронного RS -триггера с прямыми входами (табл. 5.5). Для этого проанализировать временные диаграммы и получить ответы на следующие вопросы:

– при каких логических уровнях информационных сигналов статический синхронный RS -триггер с прямыми входами устанавливается в единичное состояние?

– при каких логических уровнях информационных сигналов статический синхронный *RS*-триггер с прямыми входами устанавливается в нулевое состояние?

– какая комбинация входных информационных сигналов является запрещенной для статического синхронного *RS*-триггера с прямыми входами?

– при каких логических уровнях информационных сигналов *RS*-триггер осуществляет сохранение своего состояния?

6.5. Завершить работу, закрыв программу *Electronics Workbench* не сохраняя файлов с результатами моделирования (*File* → *Revert to Saved...* → *OK*).

Таблица 5.5

Поддаваемая логическая комбинация входных сигналов (момент времени t)			Установившееся логическое состояние на выходах после подачи входных сигналов (момент времени $t+1$)	
C	S	R	Q^{t+1}	$\overline{Q}^{t+1}$
0	X	X		
1	0	0		
1	0	1		
1	1	0		
1	1	1		

7. Провести исследования работы *JK*-триггера на семи двухвходовых логических элементах 2И-НЕ и двух трехвходовых логических элементах 3И-НЕ.

Схема моделируемой установки с *JK*-триггером приведена на рис. 5.8. В ней имеется два синхронных *RS*-триггера с прямыми входами. На элементах *DD1...DD4* реализован ведущий триггер (*master*), а на элементах *DD5...DD8* – ведомый (*slave*). Запись в ведущий триггер происходит по высокому логическому уровню сигнала на синхровходе ($C=1$). В это время ведомый триггер сохраняет свое состояние вследствие закрытых ключей *DD5*, *DD6*.

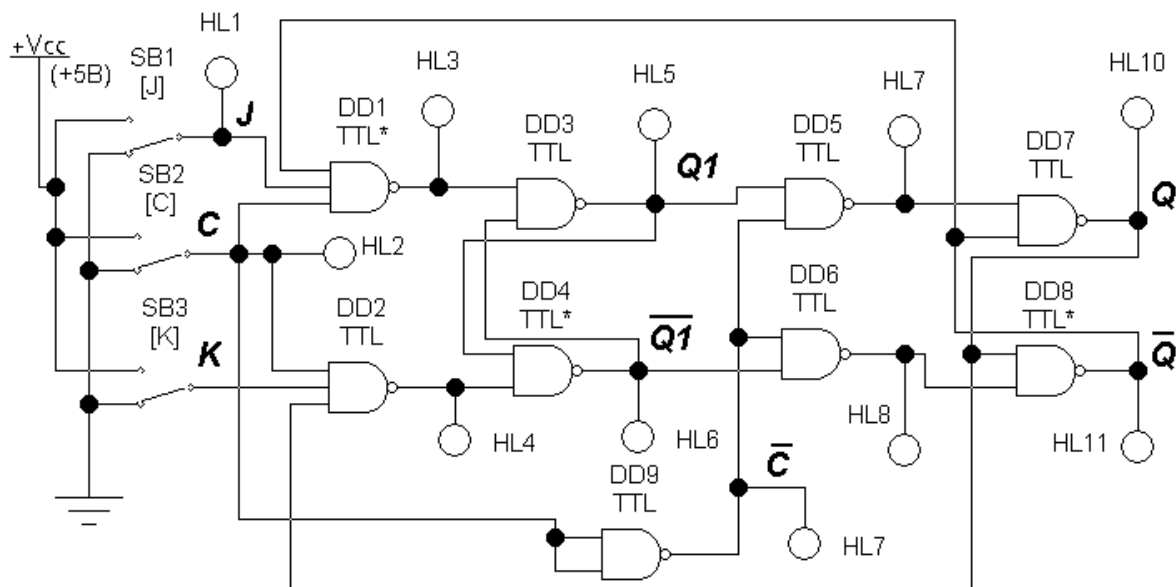


Рис. 5.8. Схема установки для исследования JK - триггера

При изменении сигнала на синхровходе C на противоположное ($1 \rightarrow 0$) ведущий триггер переходит в режим хранения, так как закрываются ключи $DD1, DD2$. В это же время, благодаря открытию ключей $DD5, DD6$, происходит перезапись выходных сигналов ведущего триггера в ведомый. Последующее изменение уровня логического сигнала на синхровходе C с нуля на единицу ($0 \rightarrow 1$) переводит ведомый триггер в режим хранения, а ведущий – в режим записи. Если на входах J и K присутствует логическая единица, то при изменении сигнала на синхровходе C с единицы на ноль происходит инвертирование состояния ведомого триггера на элементах $DD5...DD8$.

Для проведения исследований выполнить следующую последовательность действий:

7.1. Из программы *Electronics Workbench* открыть файл «s_2jk(И-НЕ).ewb» со схемой установки для исследования JK -триггера. Путь открытия файла: *File* $\rightarrow$ *Open* $\rightarrow$ в открывшемся окне «*Open Circuit File*» двойным щелчком левой клавиши мыши открыть папку «2102» $\rightarrow$ выбрать файл «s_2jk(И-НЕ).ewb» $\rightarrow$ нажать кнопку «Открыть».

7.2. Сохранить открытый файл под именем «№ компьютера_s_2jk(И-НЕ).ewb» в папке «2102» (*File* $\rightarrow$ *Save As...* $\rightarrow$ впечатать имя сохраняемого файла, например «W2_s_2jk(И-НЕ).ewb» $\rightarrow$ нажать кнопку «Сохранить» при помощи левой клавиши мыши.

7.3. Проверить соответствие открытой схемы в окне программы *Electronics Workbench* схеме установки на рис. 5.8. В случае отличий внести коррективы.

Примечание. При отсутствии файла с готовой схемой выбор моделей элементов схемы и установку их параметров производить по аналогии с п. 4.

Так как в библиотеке компонентов нет пиктограммы трехвходового логического элемента 3И-НЕ, то необходимо сделать следующее:

- на панели компонентов открыть группу логических цифровых микросхем *Logic Gates*;

- перетащить на рабочее поле элемент 2И-НЕ (*2-Input NAND Gate*) и двойным щелчком левой клавиши мыши вызвать его диалоговое окно *2-Input NAND Gate Properties* (рис. 5.9);

- открыть вкладку *Numder of Inputs* и установить переключатель в положение 3;

- открыть вкладку *Library*, выделить библиотеку *Dor1*, а в окошке *Models* – *TTL** (для *DD1*) и *TTL* (для *DD2*);

- открыть вкладку *Label* и в окошке *Label* впечатать буквенно-цифровое обозначение элемента на схеме *DD1* (или *DD2* для второго элемента);

- щелкнуть по кнопке *OK* при помощи левой клавиши мыши и тем самым закрыть диалоговое окно свойств элемента.

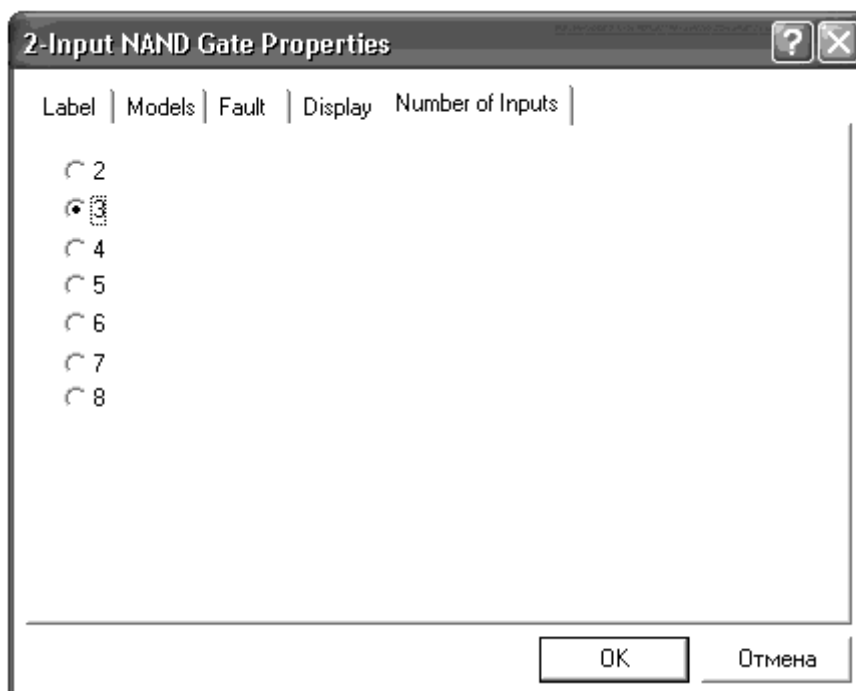


Рис. 5.9. Диалоговое окно *2-Input NAND Gate Properties*

7.4. Включить лабораторную установку, используя переключатель в правом верхнем углу окна программы *Electronics Workbench* v. 5.12.

7.5. Зафиксировать и отметить на графиках рис. 5.10 логические уровни выходных сигналов $Q1$, $\overline{Q1}$, Q и $\overline{Q}$ триггера при различных комбинациях логических сигналов на информационных J - и K - входах и синхровходе C . Комбинации входных сигналов набирать при помощи ключей $SB1$, $SB2$ и $SB3$ последовательно в соответствии с временными диаграммами на рис. 5.10.

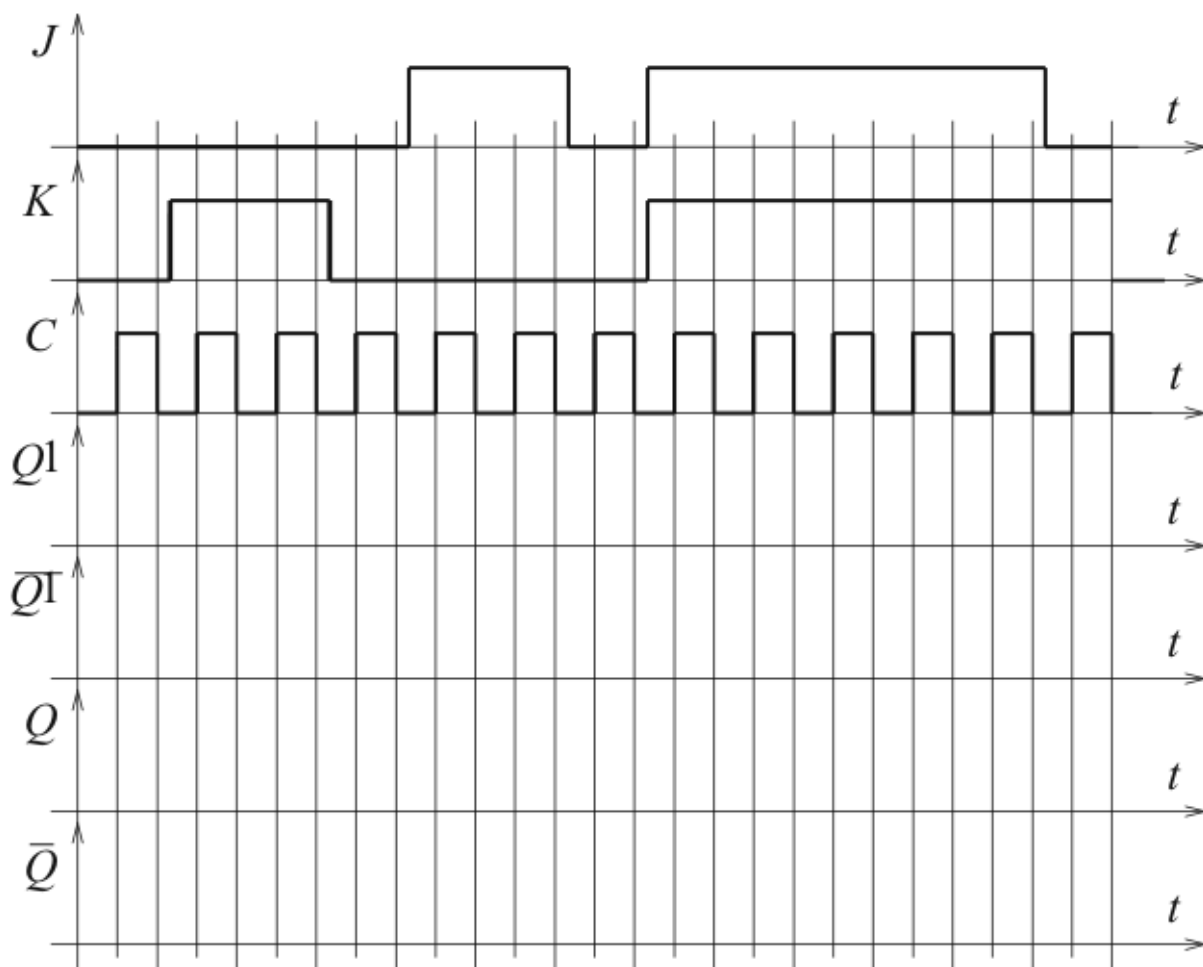


Рис. 5.10. Временные диаграммы работы JK -триггера

7.6. Проанализировать полученные данные и получить ответы на следующие вопросы:

– при каких логических уровнях входных сигналов *JK*-триггер устанавливается в единичное состояние?

– при каких логических уровнях входных сигналов *JK*-триггер устанавливается в нулевое состояние?

– имеется ли запрещенная комбинация входных информационных сигналов для *JK*-триггера?

– при каких логических уровнях входных сигналов *JK*-триггер осуществляет сохранение своего состояния?

– при какой комбинации сигналов на *J* и *K* входах *JK*-триггер изменяет свое состояние на противоположное по срезу синхросигнала?

7.7. С учетом данных эксперимента и ответов на вопросы п. 7.6. заполнить таблицу истинности *JK*-триггера (табл. 5.6).

Таблица 5.6

Подаваемая логическая комбинация входных сигналов (момент времени t)			Установившееся логическое состояние на выходах после подачи входных сигналов (момент времени $t+1$)	
C	J	K	Q^{t+1}	$\bar{Q}^{t+1}$
0	X	X		
1	X	X		
$\neg$	0	0		
$\neg$	0	1		
$\neg$	1	0		
$\neg$	1	1		

7.8. Завершить работу, закрыв программу *Electronics Workbench* не сохраняя файлов с результатами моделирования (*File* → *Revert to Saved...* → *OK*).

Содержание отчета

1. Цель работы.
2. Программа работы.
3. Принципиальные электрические схемы всех лабораторных установок.

4. Временные диаграммы и таблицы с экспериментальными данными.
5. Краткие выводы по работе.

Контрольные вопросы

При допуске к лабораторным работам:

1. Какая цель и программа работы?
2. Какое назначение и область применения логических элементов?
3. Что такое логическое сложение, умножение и отрицание?
4. Какие уровни напряжения соответствуют логическому нулю и логической единице?
5. Как условно обозначаются логические элементы на электрических принципиальных, функциональных и структурных схемах?
6. Чем отличается триггер от комбинационной схемы?
7. Какой триггер называется асинхронным?
8. Какой триггер называется синхронным?
9. Чем отличаются статические триггеры от динамических?
10. Чем отличаются одноктактные триггеры от двухтактных?
11. При каких логических уровнях входных сигналов асинхронный RS -триггер с инверсными входами устанавливается в единичное состояние?
12. При каких логических уровнях входных сигналов асинхронный RS -триггер с инверсными входами устанавливается в нулевое состояние?
13. Какая комбинация входных сигналов является запрещенной для асинхронного RS -триггера с инверсными входами?

При защите лабораторной работы необходимо ответить на все вышеперечисленные вопросы и, кроме того:

1. Какая комбинация входных сигналов является запрещенной для синхронного RS -триггера с прямыми входами?
2. При каких логических уровнях входных сигналов синхронный RS -триггер с прямыми входами устанавливается в единичное состояние?

3. При каких логических уровнях входных сигналов синхронный RS -триггер с прямыми входами устанавливается в нулевое состояние?

4. При каких логических уровнях входных сигналов синхронный RS -триггер с прямыми входами сохраняет свое состояние?

5. При каких логических уровнях входных сигналов JK -триггер устанавливается в единичное состояние?

6. При каких логических уровнях входных сигналов JK -триггер устанавливается в нулевое состояние?

7. Имеется ли запрещенная комбинация входных сигналов для синхронного JK -триггера?

8. Начертите схему асинхронного RS -триггера с инверсными входами и объясните ее работу.

9. Начертите схему синхронного RS -триггера с прямыми входами и объясните ее работу.

10. Начертите схему JK -триггера на логических элементах $nИ$ -НЕ и объясните ее работу.

11. Составьте таблицу состояний (истинности) для асинхронного RS -триггера с инверсными входами.

12. Составьте таблицу состояний (истинности) для синхронного RS -триггера с прямыми входами.

13. Составьте таблицу состояний (истинности) для JK -триггера.

Т е м а 6

D - и *T* - ТРИГГЕРЫ

Теоретические сведения

Среди синхронных триггеров важное место занимают синхронные *D*-триггеры (их часто называют триггеры задержки). Имеется две их разновидности – статические *D*-триггеры и динамические *D*-триггеры.

Условное графическое обозначение (УГО) статического синхронного *D*-триггера приведено на рис. 6.1.

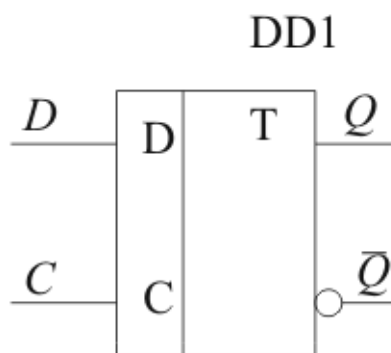


Рис. 6.1. УГО синхронного статического *D*-триггера

Синхронный статический *D*-триггер имеет один информационный вход *D* и один синхровход *C*. В момент подачи на синхровход *C* логической "1" триггер устанавливается в состояние $Q = D$. При нулевом сигнале на синхровходе состояние триггера не изменяется, триггер находится в режиме хранения.

У синхронного *D*-триггера отсутствует режим разрыва внутренней положительной обратной связи, поэтому все комбинации входных сигналов являются допустимыми.

Закон функционирования синхронного статического *D*-триггера описывается таблицей истинности (табл. 6.1). В ней через Q^t и $\bar{Q}^t$ обозначены выходные логические уровни сигналов триггера до установки комбинации входных сигналов (исходное состояние), а через Q^{t+1} и $\bar{Q}^{t+1}$ – состояние триггера после установки указанной комбинации.

ции входных сигналов. Буква «X» означает любой логический уровень сигнала.

Таблица 6.1

Подаваемая логическая комбинация входных сигналов (момент времени t)		Установившееся логическое состояние на выходах после подачи синхросигнала (момент времени $t + 1$)	
C	D	Q^{t+1}	$\overline{Q}^{t+1}$
0	X	Q^t	$\overline{Q}^t$
1	0	0	1
1	1	1	0

Динамический D -триггер, так же как и синхронный статический, имеет один информационный вход D и один синхровход C (рис. 6.2), но на уровне синхросигнала C он реагирует по другому.

Закон функционирования динамического D -триггера описывается таблицей истинности (табл. 6.2). D -триггер является двухтактным, поэтому изменение либо подтверждение его состояния происходит после изменения сигнала на синхровходе C с высокого логического уровня на низкий ($1 \rightarrow 0$) или, как говорят, по срезу синхроимпульса. При неизменном уровне сигнала на синхровходе C динамический D -триггер своего состояния не изменяет и работает в режиме хранения. Срабатывание динамического D -триггера по срезу в таблице истинности обозначается знаком « ∇ », а на его УГО – косой чертой на синхровходе C .

Реагирование на перепад синхросигнала C достигается благодаря тому, что любой динамический D -триггер состоит из двух одноктактных синхронных триггеров – ведущего (*master*) и ведомого (*slave*). Ведущим триггером является синхронный D -триггер, а ведомым – синхронный RS -триггер. Установка состояния ведущего триггера происходит в первом такте а установка ведомого – во втором такте. После изменения уровня сигнала на синхровходе C с высокого на низкий в ведомый триггер перезаписывается состояние ведущего триггера.

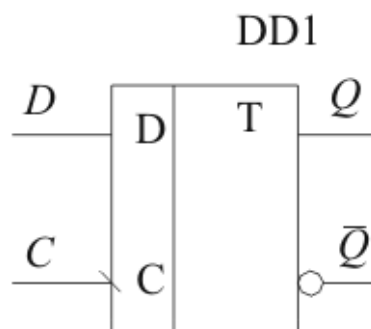


Рис. 6.2. УГО динамического D -триггера

Таблица 6.2

Подаваемая логическая комбинация входных сигналов (момент времени t)		Установившееся логическое состояние на выходах после подачи входных сигналов (момент времени $t+1$)	
C	D	Q^{t+1}	$\bar{Q}^{t+1}$
0	X	Q^t	$\bar{Q}^t$
1	X	Q^t	$\bar{Q}^t$
$\neg$	0	0	1
$\neg$	1	1	0

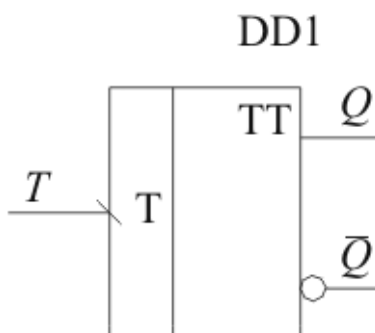


Рис. 6.3. УГО T -триггера

К числу динамических триггеров относятся и T -триггеры. Их условное графическое изображение приведено на рис. 6.3. Закон функционирования T -триггера достаточно прост. Триггер изменяет свое выходное состояние на противоположное по срезу импульса на

входе T (табл. 6.3). При любых постоянных логических уровнях сигнала на входе T -триггер работает в режиме хранения.

Таблица 6.3

Подаваемый логический уровень входного сигнала (момент времени t)	Установившееся логическое состояние на выходах после подачи входного сигнала (момент времени $t + 1$)	
T	Q^{t+1}	$\bar{Q}^{t+1}$
0	Q^t	$\bar{Q}^t$
1	Q^t	$\bar{Q}^t$
$\neg$	$\bar{Q}^t$	Q^t

T -триггеры широко используются как делители частоты на 2. Они являются составной частью цифровых счетчиков. Однако промышленностью в интегральном исполнении T -триггеры не выпускаются. Их реализуют обычно на основе интегральных динамических D -триггеров или JK -триггеров.

Модельный эксперимент

Цель работы

1. Приобрести навыки моделирования и экспериментального исследования с помощью пакета программ *Electronics Workbench*:

1.1. Статического синхронного D -триггера на базовых логических элементах 2И-НЕ TTL -логики.

1.2. Динамического D -триггера на базовых логических элементах 2И-НЕ TTL -логики.

1.3. T -триггера (счетного триггера) на основе динамического D -триггера на базовых логических элементах 2И-НЕ TTL -логики.

2. Закрепить теоретические знания, полученные на лекциях и самостоятельных занятиях.

Программное обеспечение, приборы и элементы

1. Пакет моделирующих программ *Electronics Workbench* v. 5.12, работающих в среде операционной системы *Windows 98*, *Windows XP* или *Windows 2000*. Путь запуска программы *Electronics Workbench*: «рабочий стол *Windows*» → папка «Учебный процесс» → ярлык .

2. Файл *s_2d(2И-НЕ).ewb* со схемой установки для исследования динамического *D*-триггера.

3. Файл *D+T.ewb* с набором приборов и элементов для выполнения лабораторной работы «Исследование *D*- и *T*-триггеров».

4. Файл *t(2d(2И-НЕ)).ewb* со схемой установки для исследования *T*-триггера.

5. Двухвходовые логические элементы 2И-НЕ  *TTL*-логики типа *TTL* и *TTL**. Путь выбора: группа логических компонентов  *Logic Gates* →  *2-Input NAND Gate* → *Library* «*Dor1*» → *models* «*TTL*» и «*TTL**».

6. Источник питания «логическая единица» $+V_{CC}$, выдающий напряжение $+5V$. Путь выбора: группа компонентов источников  *Sources* →  $+V_{CC}$ *Voltage Source*)

7. Переключатели , управляемые назначенными клавишами. Путь выбора: группа базовых компонентов  *Basic* →  *Switch*. Назначение клавиш (*Key*) производится через окно свойств элемента (*Switch Properties*)

8. Логические пробники , имеющие напряжение срабатывания $2,4 V$, что соответствует минимальному значению сигнала логической единицы цифровых интегральных микросхем *TTL*-логики. Путь выбора: группа компонентов индикаторные приборы  *Indicators* → *Red Probe* .

9. Заземление. Путь выбора: группа компонентов источников  *Sources* →  *Ground*.

Программа работы

1. Изучить подлежащие исследованиям схемы моделируемых триггеров лабораторной установки.

2. Ознакомиться с типами и моделями элементов, применяемых в схемах триггеров, уяснить пути их выбора и задания параметров.

3. На рабочем поле программы *Electronics Workbench v. 5.12* собрать схему и произвести исследование статического синхронного *D*-триггера на четырех логических элементах 2И-НЕ.

4. На рабочем поле программы *Electronics Workbench v. 5.12* собрать схему и произвести исследование динамического *D*-триггера на восьми логических элементах 2И-НЕ.

5. На рабочем поле программы *Electronics Workbench v. 5.12* собрать схему и произвести исследование *T*-триггера, реализованного на основе динамического *D*-триггера.

Порядок проведения работы

1. Ознакомиться с методическими указаниями по выполнению работы и правилами техники безопасности.

2. Расписаться в журнале по технике безопасности и получить разрешение на проведение лабораторной работы.

3. Запустить программу *Electronics Workbench* щелчком мыши по ее ярлыку, находящемуся на рабочем столе компьютера в папке «Учебный процесс».

4. Провести исследования работы статического синхронного *D*-триггера.

Схема статического синхронного *D*-триггера, реализованного на четырех логических элементах 2И-НЕ, приведена на рис. 6.4. Он состоит из асинхронного *RS*-триггера с инверсными входами на логических элементах *DD3* и *DD4* и инвертирующих цифровых ключей на логических элементах *DD1* и *DD2*. Эти ключи управляют подачей сигналов сброса и установки на информационные входы *RS*-триггера. При $C = 0$ эти ключи закрыты.

Для проведения исследований выполнить следующую последовательность действий:

4.1. На рабочем поле программы *Electronics Workbench v. 5.12* собрать схему статического синхронного *D*-триггера, реализованного на четырех логических элементах 2И-НЕ (см. рис. 6.4).

Модели логических элементов (в соответствии со схемой *TTL* или *TTL**) выбрать из библиотеки *Dor1* во вкладке *Models* их свойств *2-Input NAND Gate Properties*.

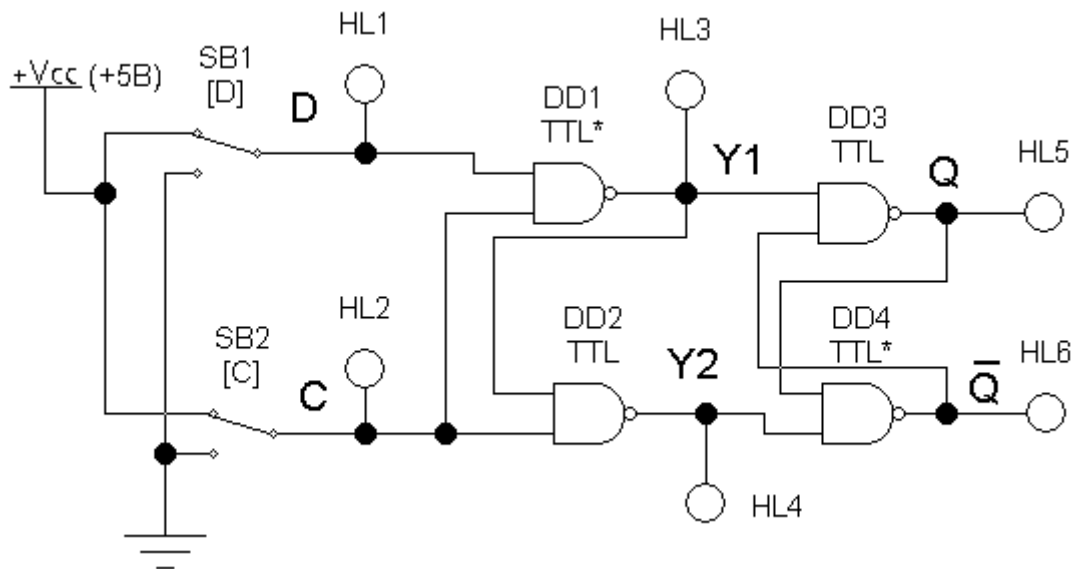


Рис. 6.4. Схема установки для исследования статического синхронного *D*-триггера

Задать управляющие клавиши для ключей *SB1* и *SB2*. Для этого поочерёдно войти в их диалоговые окна *Switch Properties* и в окошке *Key* вкладки *Value* задать управляющие клавиши *D* для ключа *SB1* и *C* для ключа *SB2*. Теперь клавишами *D* и *C* можно замыкать и размыкать соответствующие им ключи.

4.2. Включить лабораторную установку, используя переключатель в правом верхнем углу окна программы *Electronics Workbench v. 5.12*.

4.3. Зафиксировать и отметить на графиках рис. 6.5 логические уровни выходных сигналов *Q* и $\bar{Q}$ триггера при различных комбинациях логических сигналов на информационном входе *D* и синхровходе *C*. Красный цвет индикаторов соответствует высокому уровню напряжения (+5В – уровень логической единицы), а белый – низкому (0В – логический ноль). Комбинации входных сигналов набирать при

помощи ключей *SB1* и *SB2* последовательно в соответствии с временными диаграммами на рис. 6.5.

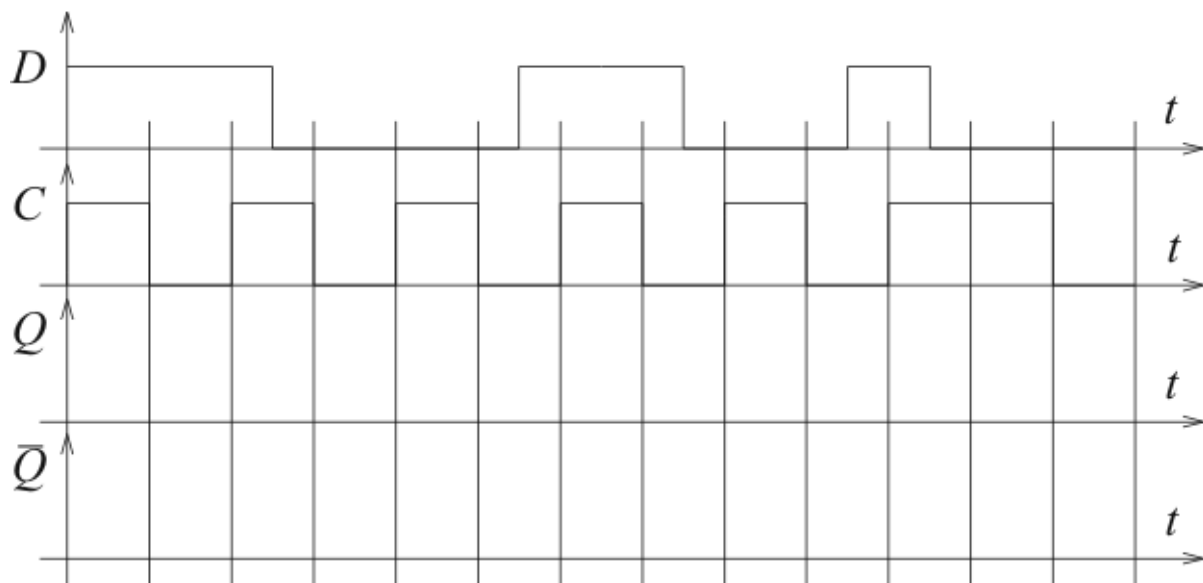


Рис. 6.5. Временные диаграммы работы статического синхронного D -триггера

4.4. Заполнить по результатам эксперимента таблицу истинности статического синхронного D -триггера (табл. 6.4). Для этого проанализировать полученные данные и дать ответы на следующие вопросы:

– при каких логических уровнях сигналов на входах статический синхронный D -триггер устанавливается в единичное состояние?

– при каких логических уровнях сигналов на входах статический синхронный D -триггер устанавливается в нулевое состояние?

– при каких логических уровнях входных сигналов статический синхронный D -триггер осуществляет сохранение своего состояния?

4.5. Завершить работу, закрыв программу *Electronics Workbench* не сохраняя файлов с результатами моделирования (*File* $\rightarrow$ *Revert to Saved...* $\rightarrow$ *OK*).

Таблица 6.4

Подаваемая логическая комбинация входных сигналов (момент времени t)		Установившееся логическое состояние на выходах после подачи входных сигналов (момент времени $t+1$)	
C	D	Q^{t+1}	$\bar{Q}^{t+1}$
0	X		
1	0		
1	1		

5. Провести исследования работы динамического D -триггера, реализованного на логических элементах 2И-НЕ.

Схема динамического D -триггера приведена на рис. 6.6. В ней имеется два синхронных триггера с прямыми входами. На элементах $DD1...DD4$ реализован ведущий D -триггер (*master*), а на элементах $DD5...DD8$ – ведомый (*slave*) RS -триггер. Запись в ведущий триггер происходит по высокому логическому уровню сигнала на синхровходе ($C=1$). В это время ведомый триггер сохраняет свое состояние вследствие закрытых ключей $DD5, DD6$. При изменении сигнала на синхровходе C на противоположное ($1 \rightarrow 0$) ведущий триггер переходит в режим хранения, так закрываются ключи $DD1, DD2$. В это же время, благодаря открытию ключей $DD5, DD6$, происходит перезапись выходных сигналов ведущего триггера в ведомый. Последующее изменение уровня логического сигнала на синхровходе C с нуля на единицу ($0 \rightarrow 1$) переводит ведомый триггер в режим хранения, а ведущий – в режим записи.

Для проведения исследований выполнить следующую последовательность действий:

5.1. Из программы *Electronics Workbench* открыть файл «s_2d(2И-НЕ).ewb» со схемой установки для исследования динамического D -триггера. Путь открытия файла: *File* $\rightarrow$ *Open* $\rightarrow$ в открывшемся окне «*Open Circuit File*» двойным щелчком левой клавиши мыши открыть папку «2102» $\rightarrow$ выбрать файл «s_2d(И-НЕ).ewb» $\rightarrow$ нажать кнопку «Открыть».

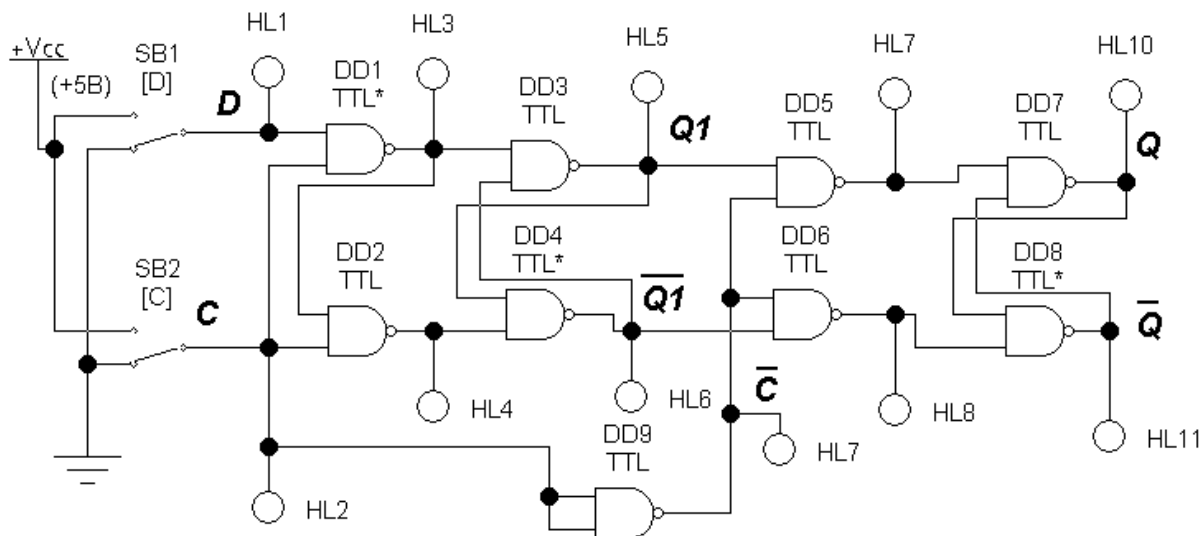


Рис. 6.6. Схема установки для исследования динамического D -триггера

5.2. Сохранить открытый файл под именем «№ компьютера_s_2d(И-НЕ).ewb» в папке «2102» (*File* → *Save As...* → впечатать имя сохраняемого файла, например «W2_s_2d(И-НЕ).ewb» → нажать кнопку «Сохранить» при помощи левой клавиши мыши.

5.3. Проверить соответствие открытой схемы в окне программы *Electronics Workbench* схеме установки на рис. 6.6. В случае отличий внести коррективы.

5.4. Включить лабораторную установку, используя переключатель в правом верхнем углу окна программы *Electronics Workbench* v. 5.12.

5.5. Зафиксировать и отметить на графиках рис. 6.7 логические уровни выходных сигналов Q и $\bar{Q}$ триггера при различных комбинациях логических сигналов на информационном D и синхровходе C . Комбинации входных сигналов набирать при помощи ключей $SB1$ $SB2$ последовательно в соответствии с временными диаграммами на рис. 6.7.

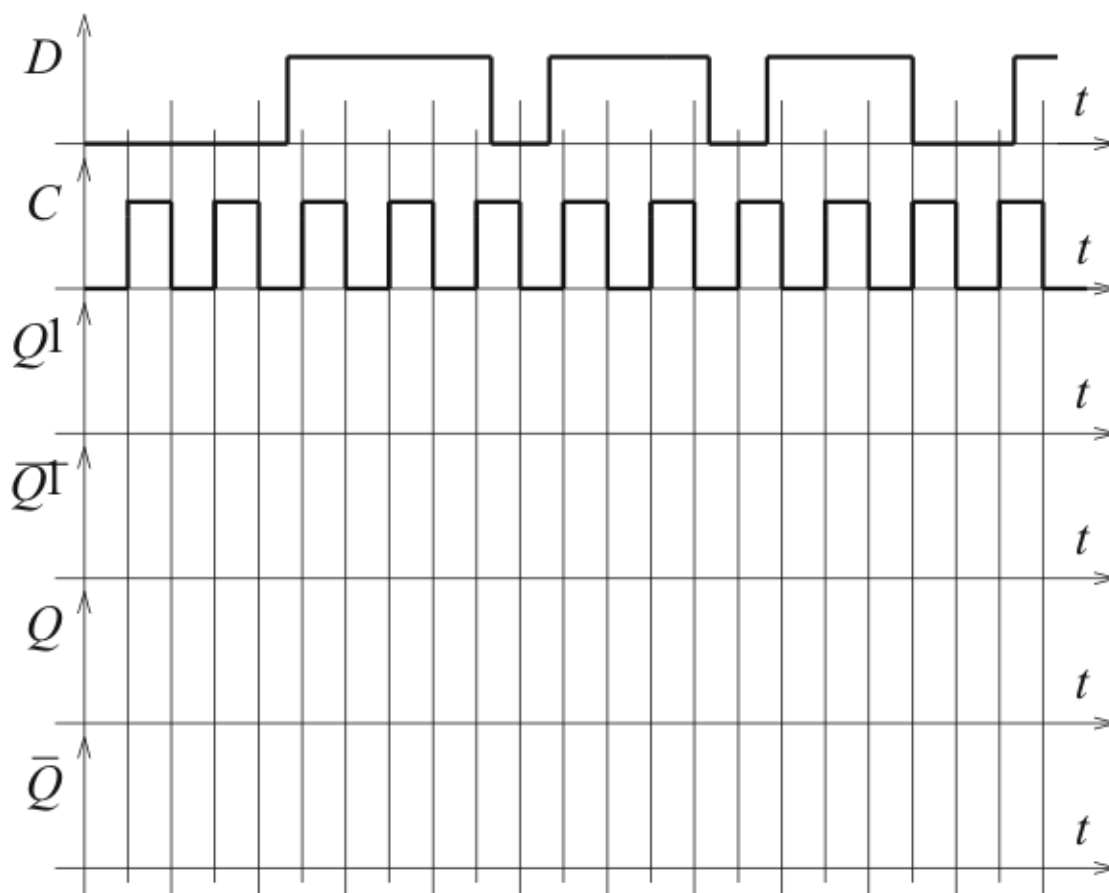


Рис. 6.7. Временные диаграммы работы динамического D -триггера

5.6. Проанализировать полученные данные и дать ответы на следующие вопросы:

- при каких изменениях сигнала на синхровходе C могут происходить изменения состояния динамического D -триггера?
- при каком логическом уровне сигнала на входе D динамический D -триггер устанавливается в единичное состояние?
- при каком логическом уровне сигнала на входе D динамический D -триггер устанавливается в нулевое состояние?
- при каких изменениях сигнала на синхровходе C не могут происходить изменения состояния динамического D -триггера?

5.7. С учетом данных эксперимента и ответов на вопросы п. 5.6. заполнить таблицу истинности динамического D -триггера (табл. 6.5).

Таблица 6.5

Поддаваемая логическая комбинация входных сигналов (момент времени t)		Установившееся логическое со- стояние на выходах после подачи входных сигналов (момент времени $t+1$)	
C	D	Q^{t+1}	$\bar{Q}^{t+1}$
0	X		
1	X		
$\neg$	0		
$\neg$	1		

6. Провести исследования работы T -триггера, реализованного на основе динамического D -триггера на логических элементах 2И-НЕ.

Схема лабораторной установки приведена на рис. 6.8. Из нее видно, что T -триггер представляет собой динамический D -триггер, охваченный цепью обратной связи (выход Q – вход D). Эта связь запаздывает из-за конечности времени распространения сигналов в логических элементах. Запаздывание принципиально необходимо для работы схемы.

Для проведения исследований выполнить следующую последовательность действий:

6.1. В установке для исследования динамического D -триггера (рис. 6.6) удалить переключатель $SB1$ и соединить вход D с выходом $\bar{Q}$.

6.2. Сохранить открытый файл под именем «№ компьютера_ $t(2d(2И_НЕ)).ewb$ » в папке «2102» (*File* → *Save As...* → впечатать имя сохраняемого файла, например «W2_ $t(2d(2И_НЕ)).ewb$ » → нажать кнопку «Сохранить» при помощи левой клавиши мыши.

6.3. Включить лабораторную установку, используя переключатель в правом верхнем углу окна программы *Electronics Workbench* v. 5.12.

6.4. Зафиксировать и отметить на графиках рис. 6.9 логические уровни выходных сигналов Q и $\bar{Q}$ триггера при различных уровнях сигнала на входе T . Уровень входных сигналов задавать при помощи

ключа $SB2$ последовательно в соответствии с временными диаграммами на рис. 6.9.

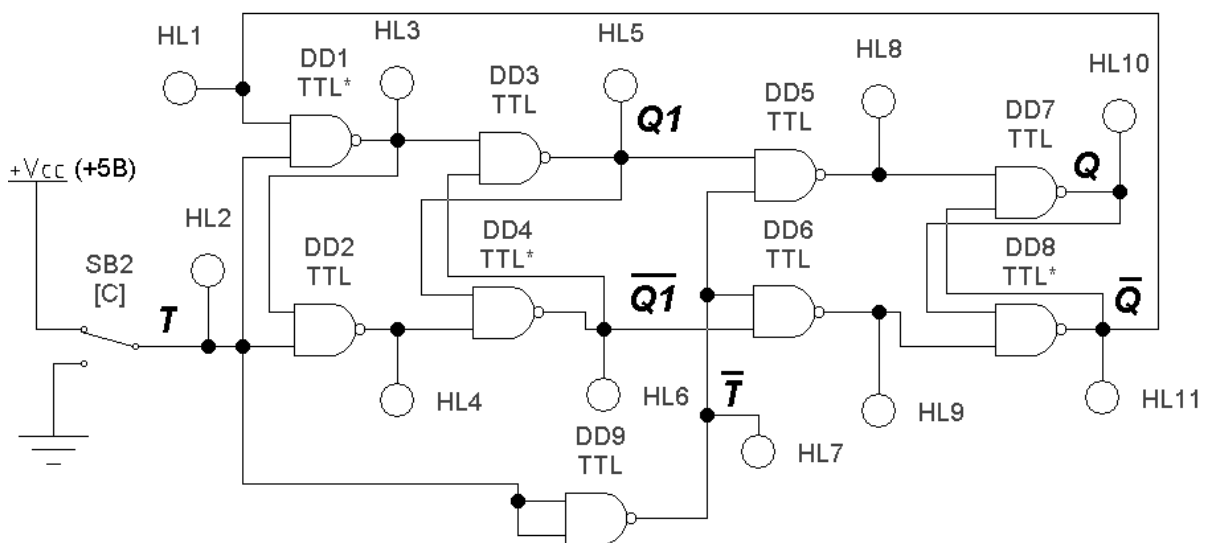


Рис. 6.8. Схема установки для исследования T -триггера на основе динамического D -триггера

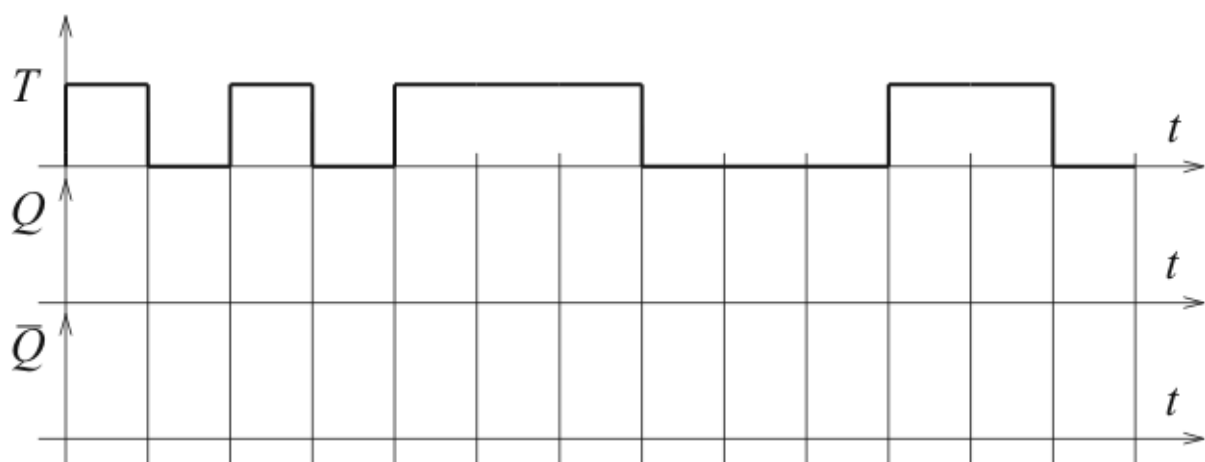


Рис. 6.9. Временные диаграммы работы T -триггера

6.5. Проанализировать полученные данные и получить ответы на следующие вопросы:

- при каких условиях T -триггер устанавливается в единичное состояние?
- при каких условиях T -триггер устанавливается в нулевое состояние?

– при каких логических уровнях входного сигнала T -триггер осуществляет сохранение своего состояния?

6.6. С учетом данных эксперимента и ответов на вопросы п. 6.5. заполнить таблицу истинности T -триггера (табл. 6.6).

Таблица 6.6

Подаваемый логический уровень входного сигнала (момент времени t)	Установившееся логическое состояние на выходах после подачи входного сигнала (момент времени $t + 1$)	
T	Q^{t+1}	$\bar{Q}^{t+1}$
0		
1		
$\neg$		

6.7. Завершить работу, закрыв программу *Electronics Workbench* не сохраняя файлов с результатами моделирования (*File* → *Revert to Saved...* → *OK*).

Содержание отчета

1. Цель работы.
2. Программа работы.
3. Принципиальные электрические схемы всех лабораторных установок.
4. Временные диаграммы и таблицы с экспериментальными данными.
5. Краткие выводы по работе.

Контрольные вопросы

При допуске к лабораторным работам:

1. Каковы цель и программа работы?
2. Каковы назначение и область применения триггеров?
3. Что такое логическое сложение, умножение и отрицание?

4. Какие уровни напряжения соответствуют логическому нулю, а какие логической единице?

5. Как условно обозначаются логические элементы на электрических принципиальных, функциональных и структурных схемах?

6. Как условно обозначаются статические и динамические *D*- и *T*-триггера на электрических схемах?

7. Чем отличается триггер от комбинационной схемы?

8. Какой триггер называется асинхронным?

9. Какой триггер называется синхронным?

10. Чем отличаются статические триггера от динамических?

11. Чем отличаются одноктактные триггера от двухтактных?

12. При каких логических уровнях входных сигналов синхронный статический *D*-триггер устанавливается в единичное состояние?

13. При каких логических уровнях входных сигналов синхронный статический *D*-триггер устанавливается в нулевое состояние?

14. При каких логических уровнях входных сигналов синхронный статический *D*-триггер сохраняет свое состояние?

15. При каких условиях динамический *D*-триггер устанавливается в единичное состояние?

16. При каких условиях динамический *D*-триггер устанавливается в нулевое состояние?

18. При каких логических уровнях входных сигналов динамический *D*-триггер сохраняет свое состояние?

19. При каких условиях *T*-триггер устанавливается в единичное состояние?

20. При каких условиях *T*-триггер устанавливается в нулевое состояние?

При защите лабораторной работы необходимо ответить на все вышеперечисленные вопросы и, кроме того, необходимо:

1. Уметь начертить схемы и объяснить работу всех исследованных схем *D*- и *T*-триггеров.

2. Уметь составить таблицу состояний (истинности) всех исследованных схем *D*- и *T*-триггеров.

Тема 7

ДВОИЧНЫЕ СЧЕТЧИКИ

Теоретические сведения

Простейший суммирующий двоичный счетчик может быть построен путем последовательного соединения счетных T -триггеров. На рис. 7.1 приведена функциональная схема четырехразрядного двоичного счетчика с последовательным переносом, а на рис. 7.2 – временные диаграммы, поясняющие его работу.

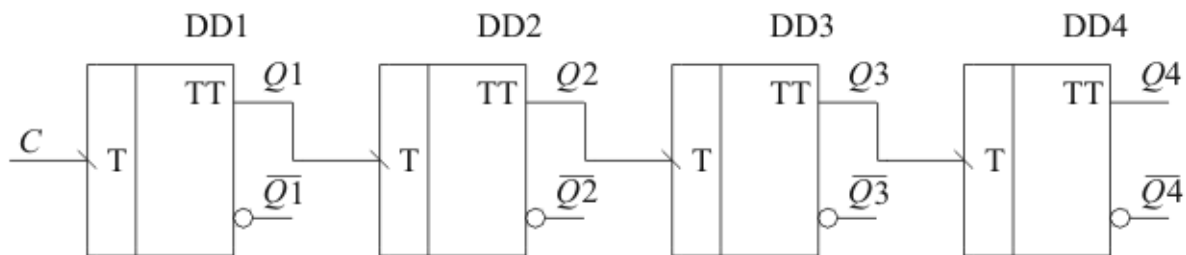


Рис. 7.1. Двоичный суммирующий счетчик с последовательным переносом

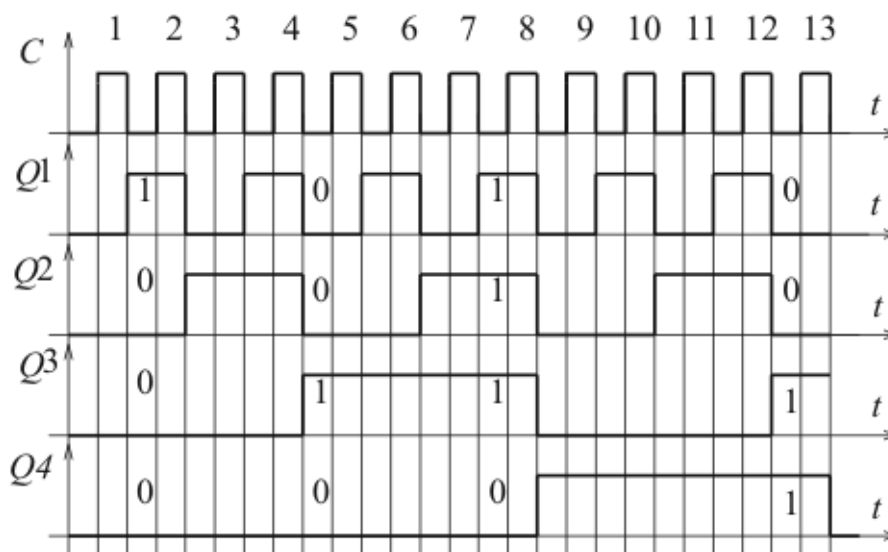


Рис. 7.2. Временные диаграммы в двоичном суммирующем счетчике с последовательным переносом

Каждый T -триггер изменяет свое состояние по срезу ($1 \rightarrow 0$) сигнала на своем входе T . Логические уровни на выходах триггеров соответствуют двоичным числам, которые возрастают с приходом

каждого входного импульса. Например, после прихода 7-го импульса состояние триггеров будет следующим:

$$Q1 = 1, Q2 = 1, Q3 = 1, Q4 = 0.$$

Это двоичное число (0111) соответствует десятичному числу

$$N_{10} = 0 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 7.$$

Отсюда и название "суммирующий двоичный счетчик".

Из временных диаграмм следует, что частота импульсов на выходе каждого триггера в два раза меньше частоты их входных импульсов. Поэтому двоичные счетчики называют также делителями частоты. Общий коэффициент деления равен

$$K = 2^n,$$

где n – количество последовательно включенных триггеров.

На основе T -триггеров можно построить вычитающий двоичный счетчик, если на вход последующего триггера подавать сигналы с инверсного выхода предыдущего триггера (рис. 7.3).

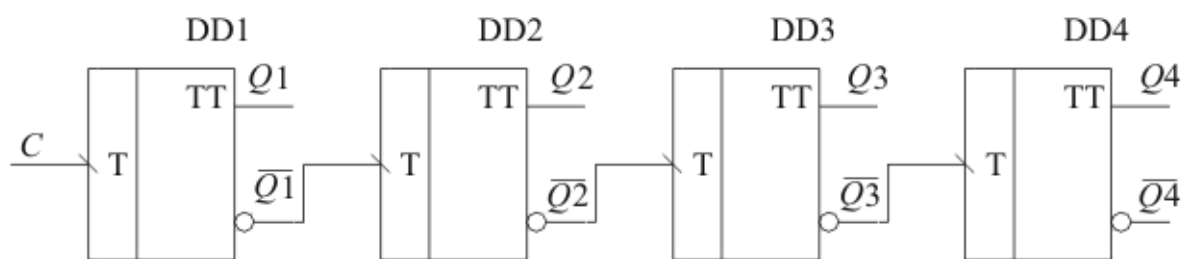


Рис. 7.3. Вычитающий двоичный счетчик с последовательным переносом

Логические уровни на выходах триггеров (рис. 7.4) соответствуют двоичным числам, которые уменьшаются с приходом каждого входного импульса. До подачи входных импульсов C все разряды счетчика были установлены в единичное состояние, т. е. $Q1 = 1, Q2 = 1, Q3 = 1, Q4 = 1$. Это двоичное число (1111) соответствует десятичному числу $N_{10} = 1 \cdot 2^3 + 1 \cdot 2^2 + 1 \cdot 2^1 + 1 \cdot 2^0 = 15$.



Рис. 7.4. Временные диаграммы в вычитающем двоичном счетчике с последовательным переносом

После поступления 8 импульсов состояние счетчика становится $Q1=1, Q2=1, Q3=1, Q4=0$, что соответствует десятичному числу 7. Из нулевого состояния счетчик переходит в максимальное (для четырехразрядного счетчика это соответствует десятичному числу 15).

Как суммирующий, так и вычитающий счетчики могут иметь входы установки всех разрядов в единичное и (или) нулевое состояния. В последнем случае они называются обычно входами сброса. Реализация установки в единичное состояние осуществляется объединением всех S -входов триггеров, а реализация установки в нулевое состояние осуществляется объединением всех R -входов триггеров (на рис. 7.1 и 7.3 не показано). Имеются счетчики и с поразрядной установкой.

Анализируя схемы последовательных суммирующего (рис. 7.1) и вычитающего (рис. 7.3) счетчиков можно заметить, что они отличаются только цепью подключения входов T всех T -триггеров, кроме первого. Это позволяет реализовать реверсивный двоичный счетчик на T -триггерах, используя между ними управляемые коммутаторы (мультиплексоры 2 в 1).

На рис. 7.5 приведена функциональная схема трехразрядного реверсивного счетчика. Этот счетчик может работать как суммирующий при подаче на управляющий вход $U/\bar{U}$ низкого логического уровня или как вычитающий, если подать на управляющий вход высокий логический уровень. В счетчике применены мультиплексоры (DD2, DD4), коммутирующие один из входов ($X0$ или $X1$) на свой выход в зависимости от логического уровня сигнала на адресном входе A .

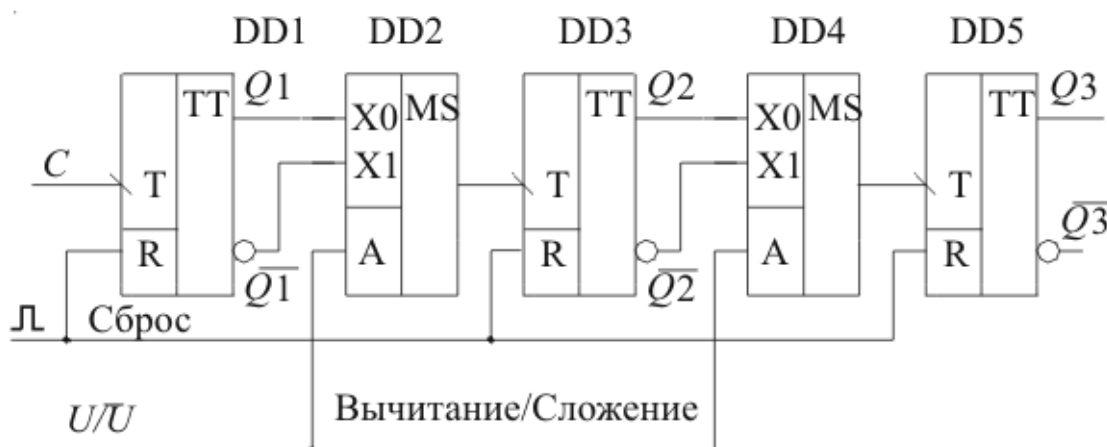


Рис. 7.5. Реверсивный двоичный счетчик с последовательным переносом

Рассматриваемый реверсивный счетчик имеет цепь асинхронного сброса всех триггеров в нулевое состояние. При подаче логической единицы на вход сброса разряды счетчика устанавливаются в состояние $Q1 = 0$, $Q2 = 0$, $Q3 = 0$, независимо от уровня сигнала на управляющем входе $U/\bar{U}$.

Общим недостатком всех счетчиков с последовательным переносом (в литературе их иногда называют асинхронными счетчиками) являются большие и неравномерные задержки распространения входного сигнала до всех выходов триггеров, что ограничивает их быстродействие и создает большие проблемы в создании многоразрядных счетчиков, особенно с произвольным коэффициентом счета.

Для выравнивания временных задержек всех триггеров применяют счетчики с параллельным переносом, которые называются также синхронными счетчиками. Синхронные счетчики обладают высо-

ким быстродействием, легко допускают наращивание разрядности и реализации произвольных коэффициентов пересчета.

Модельный эксперимент

Цель работы

1. Приобрести навыки моделирования и экспериментального исследования с помощью пакета программ *Electronics Workbench*:

1.1. Суммирующего счетчика с последовательным переносом на *JK*-триггерах.

1.2. Вычитающего счетчика с последовательным переносом на *JK*-триггерах.

1.3. Реверсивного счетчика с последовательным переносом на *JK*-триггерах.

2. Закрепить теоретические знания, полученные на лекциях и самостоятельных занятиях.

Программное обеспечение, приборы и элементы

1. Пакет моделирующих программ *Electronics Workbench* v.5.12, работающих в среде операционной системы *Windows 98*, *Windows XP* или *Windows 2000*. Путь запуска программы *Electronics Workbench*: рабочий стол *Windows* → папка «Учебный процесс» → ярлык .

2. Файл *sum_ct2jk.ewb* со схемой установки для исследования четырехразрядного суммирующего двоичного счетчика с последовательным переносом на *JK*-триггерах.

3. Файл *sub_ct2jk.ewb* со схемой установки для исследования четырехразрядного вычитающего двоичного счетчика с последовательным переносом на *JK*-триггерах.

4. Файл *revCT2_jk.ewb* со схемой установки для исследования трехразрядного реверсивного двоичного счетчика с последовательным переносом на *JK*-триггерах.

5. Файл *Shablon_ct2.ewb* с набором приборов и элементов для исследования двоичных счетчиков.

6. JK-триггера с асинхронными входами установки S и сброса R (рис. 7.6, б). Путь выбора: группа логических компонентов  *Digital* →  *JK Flip-Flop with Active High Asynch Inputs* → *Library «default»* → *models «ideal»*.

7. Двухвходовые логические элементы 2И-НЕ  TTL-логики типа *TTL*. Путь выбора: группа логических компонентов  *Logic Gates* →  *2-Input NAND Gate* → *Library «Dor1»* → *models «TTL»*.

8. Источник питания «логическая единица» $+V_{CC}$, выдающий напряжение $+5$ В. Путь выбора: группа компонентов источников  *Sources* →  *+Vcc Voltage Source*

9. Переключатели , управляемые назначенными клавишами. Путь выбора: группа базовых компонентов  *Basic* →  *Switch*.

10. Логические пробники , с напряжением зажигания $2,4$ В, что соответствует минимальному значению сигнала логической единицы цифровых интегральных микросхем *TTL*-логики. Путь выбора: группа компонентов индикаторные приборы  *Indicators* → *Red Probe* .

11. Заземление . Путь выбора: группа компонентов источников  *Sources* →  *Ground*.

Программа работы

1. Изучить исследуемые схемы счетчиков лабораторной установки. При этом следует иметь в виду что отечественные стандарты на условные графические обозначения *JK*-триггеров несколько отличаются от обозначений программы *Electronics Workbench v. 5.12*. На рис. 7.6 приведены условные графические изображения этих триггеров в обоих стандартах.

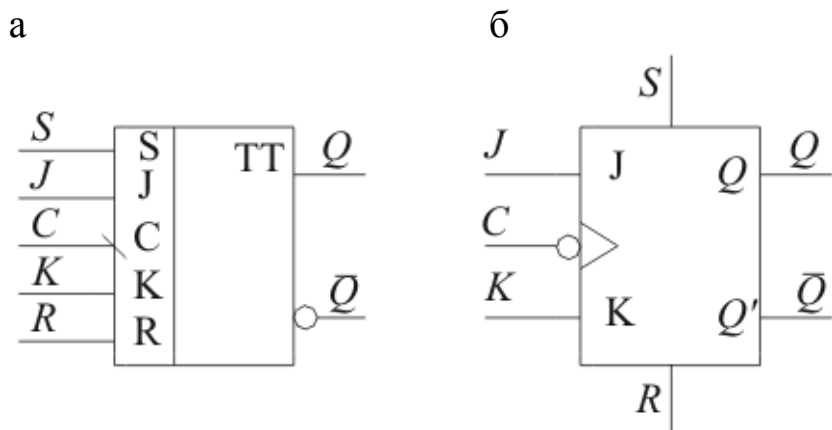


Рис. 7.6. Условные графические обозначения JK -триггеров с асинхронными входами установки (S) и сброса (R):
 а – по отечественным стандартам; б – по стандартам программы *Electronics Workbench v. 5.12*

2. Ознакомиться с типами и моделями элементов, применяемых в схемах счетчиков, уяснить пути их выбора и задания параметров.

3. На рабочем поле программы *Electronics Workbench v. 5.12* собрать схему и произвести исследование суммирующего счетчика с последовательным переносом на JK -триггерах.

4. На рабочем поле программы *Electronics Workbench v. 5.12* собрать схему и произвести исследование вычитающего счетчика с последовательным переносом на JK -триггерах.

5. На рабочем поле программы *Electronics Workbench v. 5.12* собрать схему и произвести исследование реверсивного счетчика с последовательным переносом на JK -триггерах.

Порядок проведения работы

1. Ознакомиться с методическими указаниями по выполнению работы и правилами техники безопасности.

2. Расписаться в журнале по технике безопасности и получить разрешение на проведение лабораторной работы.

3. Включить компьютер и запустить программу *Electronics Workbench* (Рабочий стол *Windows* → папка «Учебный процесс» → ярлык программы *Electronics Workbench* ).

4. Провести исследования суммирующего счетчика с последовательным переносом на *JK*-триггерах.

4.1. На рабочем поле программы *Electronics Workbench v. 5.12* собрать схему суммирующего счетчика с последовательным переносом на *JK*-триггерах. (рис. 7.7). Для этого выполнить следующие действия:

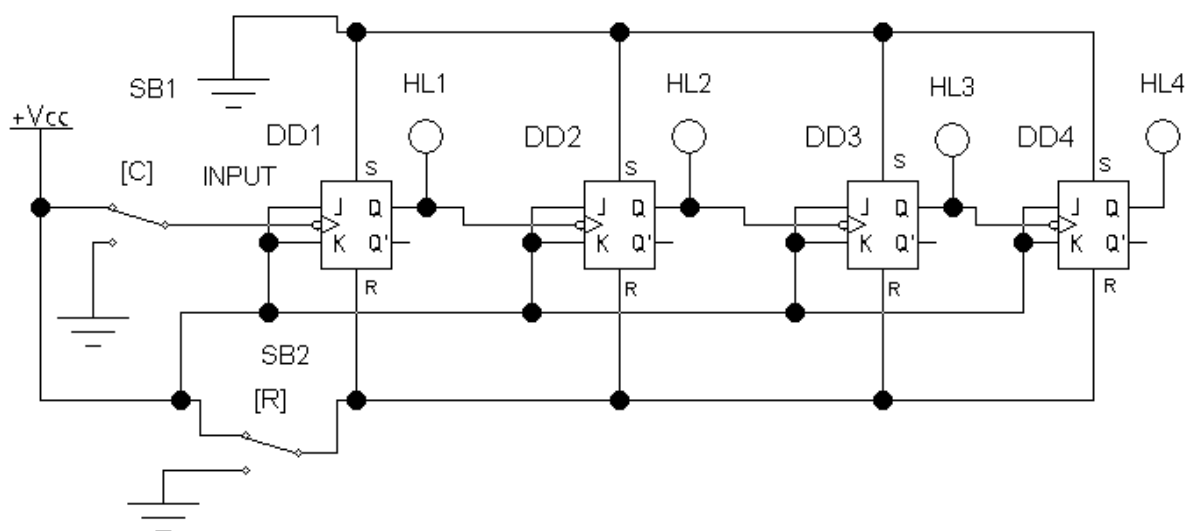


Рис. 7.7. Схема установки для исследования суммирующего двоичного счетчика с последовательным переносом на *JK*-триггерах

4.1.1. Из программы *Electronics Workbench* открыть файл *sum_ct2jk.ewb*. Путь открытия файла: *File* → *Open* → в открывшемся окне *Open Circuit File* двойным щелчком левой клавиши мыши открыть папку 2102 → выбрать файл *sum_ct2jk.ewb* → нажать кнопку «Открыть».

4.1.2. Сохранить открытый файл под именем № компьютера *sum_ct2jk.ewb* в папке 2102 (*File* → *Save As...* → впечатать имя сохраняемого файла, например *W2_sum_ct2jk.ewb* → нажать кнопку «Сохранить» при помощи левой клавиши мыши.

4.1.3. Убедиться в соответствии лабораторной установки схеме на рис. 7.7 и в случае отличия внести изменения. Положение переключателей *SB1* и *SB2* следует устанавливать при помощи клавиш *C* и *R*. После этого предъявить моделируемую установку для проверки инженеру.

4.2. Включить питание моделируемой лабораторной установки и, при необходимости, подачей напряжения уровня логической единицы установить триггера в состояние $Q1 = 0, Q2 = 0, Q3 = 0, Q4 = 0$ (верхнее положение переключателя $SB2$). После этого перевести переключатель $SB2$ в нижнее положение, что соответствует подаче на входы R сброса триггеров логического нуля.

4.3. Зафиксировать и отметить на графиках рис. 7.8 логические уровни выходных сигналов $Q1...Q4$ триггеров при последовательном изменении сигнала на входе C . Красный цвет индикаторов соответствует высокому уровню напряжения (+5В – уровень логической единицы), а белый – низкому (0В – логический ноль). Уровень синхросигнала изменять при помощи ключа $SB1$ последовательно в соответствии с временными диаграммами на рис. 7.8.

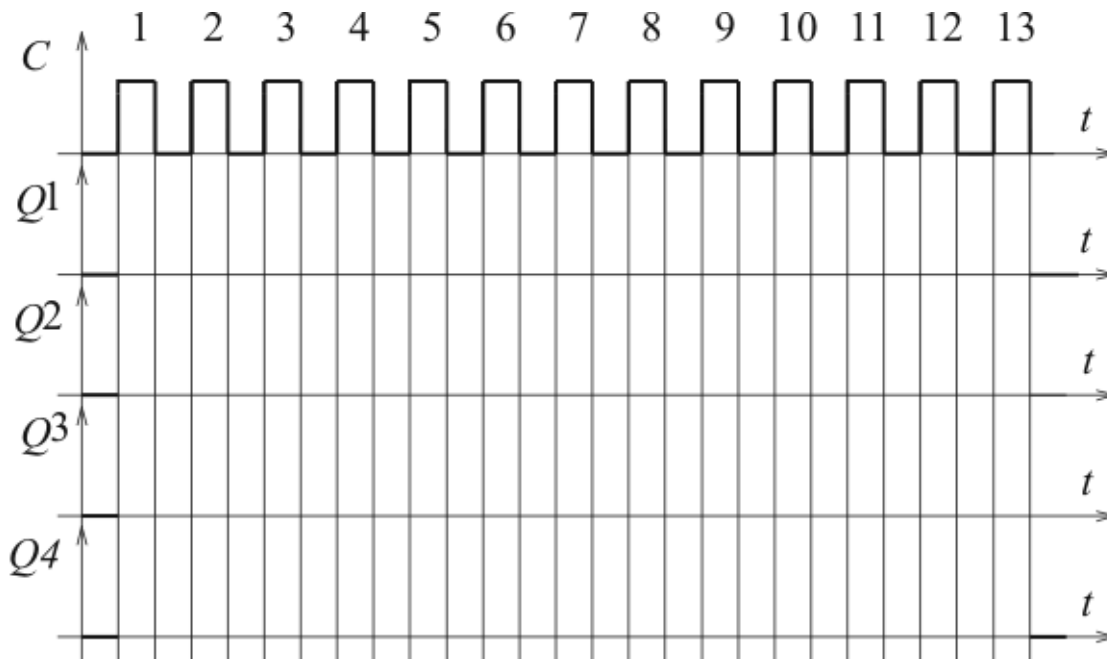


Рис. 7.8. Экспериментальные временные диаграммы в двоичном суммирующем счетчике с последовательным переносом

4.4. По экспериментальным временным диаграммам определить коэффициенты деления K_n частоты импульсов на выходах n -го разряда счетчика и результаты записать в табл. 7.1

$$K_n = \frac{f_{\text{вх}}}{f_n} = \frac{T_n}{T_{\text{вх}}},$$

где $f_{\text{вх}}$, $T_{\text{вх}}$ – частота и период следования импульсов на входе младшего разряда счетчика; f_n , T_n – частота и период следования импульсов на выходе n -го разряда счетчика.

Таблица 7.1

Коэффициенты деления частоты	K_1	K_2	K_3	K_4
Суммирующий счетчик				
Вычитающий счетчик				

4.5. Заполнить по результатам эксперимента таблицу истинности суммирующего счетчика с последовательным переносом (табл. 7.2).

4.6. Завершить работу, закрыв программу *Electronics Workbench* не сохраняя файлов с результатами моделирования (*File* → *Revert to Saved...* → *OK*).

5. Провести исследования вычитающего счетчика с последовательным переносом на *JK*-триггерах.

5.1. На рабочем поле программы *Electronics Workbench* v. 5.12 собрать схему вычитающего счетчика с последовательным переносом на *JK*-триггерах. (рис. 7.9). Для этого выполнить следующие действия:

5.1.1. Из программы *Electronics Workbench* открыть файл *sub_ct2jk.ewb*. Путь открытия файла: *File* → *Open* → в открывшемся окне *Open Circuit File* двойным щелчком левой клавиши мыши открыть папку 2102 → выбрать файл *sub_ct2jk.ewb* → нажать кнопку «Открыть».

5.1.2. Сохранить открытый файл под именем № компьютера *sub_ct2jk.ewb* в папке 2102 (*File* → *Save As...* → впечатать имя сохраняемого файла, например *W2_sub_ct2jk.ewb* → нажать кнопку «Сохранить» при помощи левой клавиши мыши.

Таблица 7.2

Число поданных импульсов на синхровход C	Установившееся состояние разрядов счетчика	
	Двоичное Q4 Q3 Q2 Q1	Десятичное
0	0000	00
1		
2		
3		
4		
5		
6		
7		
8		
9		
10		
11		
12		
13		
14		
15		

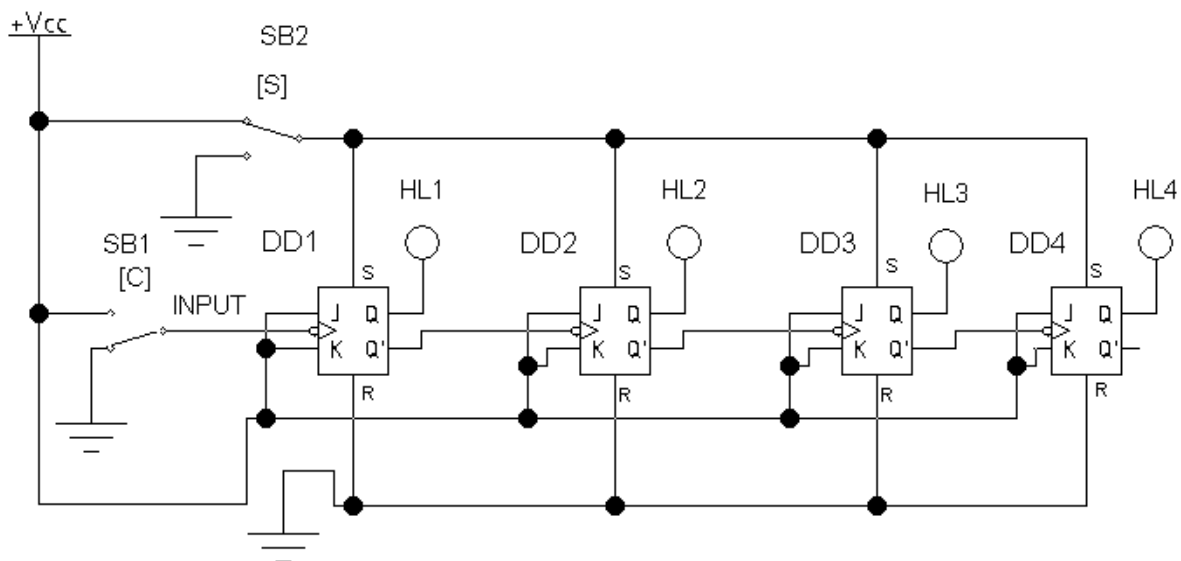


Рис. 7.9. Схема установки для исследования вычитающего двоичного счетчика с последовательным переносом на *JK*-триггерах

5.1.3. Убедиться в соответствии лабораторной установки схеме на рис. 7.9 и в случае отличия внести изменения. Положение переключателей *SB1* и *SB2* следует устанавливать при помощи клавиш *C* и *S*. После этого предъявить моделируемую установку для проверки инженеру.

5.2. Включить питание моделируемой лабораторной установки и, при необходимости, подачей напряжения уровня логической единицы установить триггера в состояние $Q_1=1, Q_2=1, Q_3=1, Q_4=1$ (верхнее положение переключателя *SB2*). После этого перевести переключатель *SB2* в нижнее положение, что соответствует подаче на входы *S* установки триггеров логического нуля.

5.3. Зафиксировать и отметить на графиках рис. 7.10 логические уровни выходных сигналов $Q_1...Q_4$ триггеров при последовательном изменении сигнала на входе *C*. Красный цвет индикаторов соответствует высокому уровню напряжения (+5 В – уровень логической единицы), а белый – низкому (0 В – логический ноль). Уровень входного сигнала *C* набирать при помощи ключа *SB1* последовательно в соответствии с временными диаграммами на рис. 7.10.



Рис. 7.10. Экспериментальные временные диаграммы в двоичном вычитающем счетчике с последовательным переносом

5.4. По экспериментальным временным диаграммам определить коэффициенты деления K_n частоты импульсов на выходах n -го разряда вычитающего счетчика и результаты записать в табл. 7.1

$$K_n = \frac{f_{\text{BX}}}{f_n} = \frac{T_n}{T_{\text{BX}}},$$

где f_{BX} , T_{BX} – частота и период следования импульсов на входе младшего разряда счетчика; f_n , T_n – частота и период следования импульсов на выходе n -го разряда счетчика.

5.5. Заполнить по результатам эксперимента таблицу истинности вычитающего счетчика с последовательным переносом (табл. 7.3).

5.6. Завершить работу, закрыв программу *Electronics Workbench* не сохраняя файлов с результатами моделирования (*File* → *Revert to Saved....* → *OK*).

Таблица 7.3

Число поданных импульсов на вход C	Установившееся состояние разрядов счетчика	
	Двоичное Q4 Q3 Q2 Q1	Десятичное
0	1111	15
1		
2		
3		
4		
5		
6		
7		
8		
9		
10		
11		
12		
13		
14		
15		

6. Провести исследования реверсивного трехразрядного двоичного счетчика с последовательным переносом на JK -триггерах.

6.1. На рабочем поле программы *Electronics Workbench v. 5.12* собрать схему реверсивного трехразрядного двоичного счетчика

с последовательным переносом на *JK*-триггерах (рис. 7.11). Для этого выполнить следующие действия:

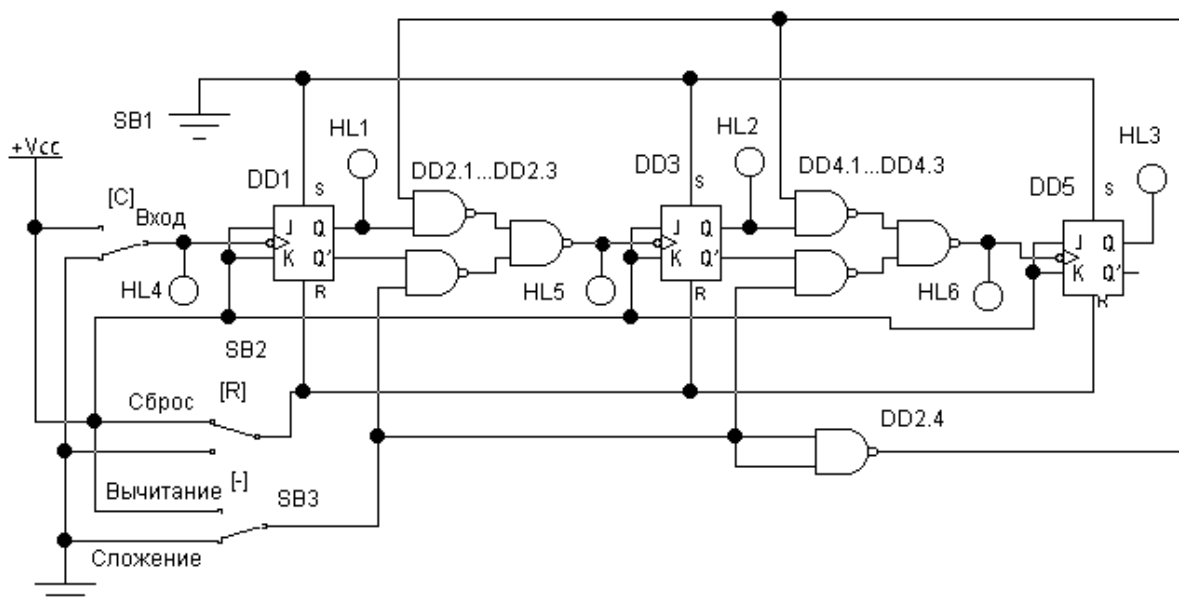


Рис. 7.11. Схема установки для исследования реверсивного двоичного счетчика с последовательным переносом на *JK*-триггерах

6.1.1. Из программы *Electronics Workbench* открыть файл *rev_ct2jk.ewb*. Путь открытия файла: *File* → *Open* → в открывшемся окне *Open Circuit File* двойным щелчком левой клавиши мыши открыть папку 2102 → выбрать файл *rev_ct2jk.ewb* → нажать кнопку «Открыть».

6.1.2. Сохранить открытый файл под именем № компьютера *_rev_ct2jk.ewb* в папке 2102 (*File* → *Save As...* → впечатать имя сохраняемого файла, например *W2_rev_ct2jk.ewb* → нажать кнопку «Сохранить» при помощи левой клавиши мыши.

6.1.3. Убедиться в соответствии лабораторной установки схеме на рис. 7.11 и в случае отличия внести изменения. Положение переключателей *SB1...SB3* следует устанавливать при помощи клавиш *C*, *R* и «←», соответственно. После этого предъявить моделируемую установку для проверки инженеру.

6.2. Включить питание моделируемой лабораторной установки и, при необходимости, подачей напряжения уровня логической единицы сбросить триггера в состояние $Q1 = 0$, $Q2 = 0$, $Q3 = 0$ (верхнее положение переключателя *SB2*). Установить при помощи переключателя *SB3* режим сложения и после этого перевести переключатель *SB2* в нижнее положение, что соответствует подаче на входы *R* установки триггеров логического нуля.

6.3. В соответствии с данными табл. 7.4 в режиме сложения подать 4 положительных импульса на синхровход счетчика, фиксируя после каждого импульса состояние $Q1...Q3$ триггеров. Уровень синхросигнала набирать при помощи ключа *SB1*. Двоичный код состояний занести в табл. 7.4 и перевести его в соответствующий десятичный код. После этого, не выключая питание стенда, установить при помощи переключателя *SB3* режим вычитания и продолжить подачу импульсов на синхровход счетчика при помощи переключателя *SB1*. Зафиксированное состояние триггеров занести в табл. 7.4 и перевести в десятичный код.

6.6. Завершить работу, закрыв программу *Electronics Workbench* не сохраняя файлов с результатами моделирования (*File* → *Revert to Saved....* → *OK*).

Содержание отчета

1. Цель работы.
2. Программа работы.
3. Принципиальные электрические схемы всех лабораторных установок.
4. Временные диаграммы и таблицы с экспериментальными данными.
5. Краткие выводы по работе.

Таблица 7.4

Число поданных импульсов на вход С	Установившееся состояние разрядов счетчика	
<i>C</i>	Двоичное Q3 Q2 Q1	Десятичное
<i>Режим сложения</i>		
0	0	
+1		
+2		
+3		
+4		
<i>Переключение в режим вычитания</i>		
−1		
−2		
−3		
−4		

Контрольные вопросы

При допуске к лабораторным работам:

1. Каковы цель и программа работы?
2. Как условно обозначаются логические элементы на электрических схемах?
3. Какие уровни напряжения соответствуют логическому нулю а какие соответствуют логической единице?
4. Чем отличаются статические триггера от динамических?
5. При каких логических уровнях входных сигналов *JK*-триггер устанавливается в единичное состояние?

6. При каких логических уровнях входных сигналов *JK*-триггер устанавливается в нулевое состояние?

7. При каких изменениях логических уровней входных сигналов *JK*-триггер изменяет свое состояние на противоположное?

8. Имеется ли запрещенная комбинация входных информационных сигналов для *JK*-триггера?

9. Каков закон функционирования *T*-триггера?

10. Каким образом на *JK*-триггере реализовать *T*-триггер?

11. Какие функции выполняет суммирующий счетчик и в каком коде получается результат?

12. Какие функции выполняет вычитающий счетчик и в каком коде получается результат?

13. Какие функции выполняет реверсивный счетчик, и в каком коде получается результат?

При защите лабораторной работы требуется ответить на все вышеперечисленные вопросы и, кроме того, необходимо уметь следующее:

1. Составить таблицу состояний (истинности) для *JK*-триггера.

2. Начертить и объяснить работу суммирующего двоичного счетчика с последовательным переносом на *JK*-триггерах.

3. Начертить и объяснить работу вычитающего двоичного счетчика с последовательным переносом на *JK*-триггерах.

4. Начертить и объяснить работу реверсивного двоичного счетчика с последовательным переносом на *JK*-триггерах.

5. Определить коэффициент деления частоты двоичного счетчика.

СПИСОК ЛИТЕРАТУРЫ

Основной

1. **Гусев В.Г., Гусев Ю.М.** Электроника и микропроцессорная техника. – М.: Высш. шк., 2004.
2. **Забродин Ю.С.** Промышленная электроника: Учебник для вузов. – Минск: Высш. шк., 1982.
3. **Карлащук В.И.** Электронная лаборатория на *IBM*. Программа *Electronics Workbench* и ее применение. – М.: Солон-Р, 2000.
4. **Касаткин А.С., Немцов М.В.** Электротехника. – М.: Высш. шк., 2002.
5. **Панфилов Д.И., Иванов Д.С., Чупурин И.Н.** Электроника и электротехника в экспериментах и упражнениях. Практикум на *Electronics Workbench*. В 2 т. – М.: ДОДЕКА, 1999.

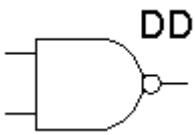
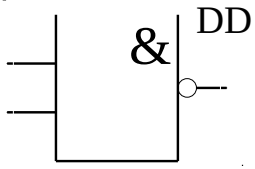
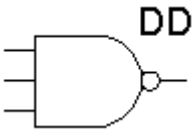
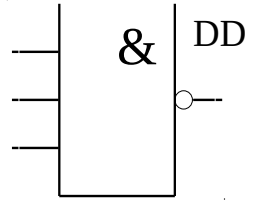
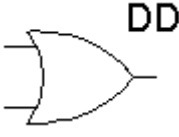
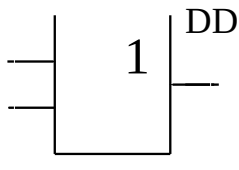
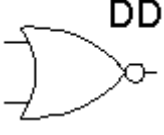
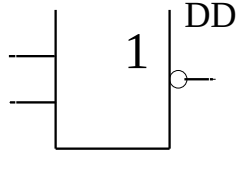
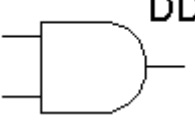
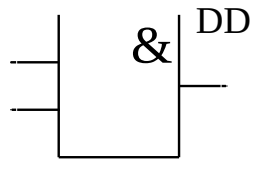
Дополнительный

Батяев А.А., Дорошков А.В., Новотельнова А.В. Расчет электронных схем с использованием электронной базы данных: Метод. указания к выполнению расчетно-графической работы для студентов всех спец. / Под ред. Л.П. Булата. – СПб.: СПбГУНиПТ, 2003. – 22 с.

Дорошков А.В. Расчет бестрансформаторного усилителя низкой частоты: Метод. указания к выполнению курсовой работы по курсу «Электротехника и электроника» для студентов спец. 210200 и специализации 210206 всех форм обучения. – СПб.: СПбГУНиПТ, 2003. – 51 с.

Дорошков А.В., Новотельнова А.В. Модельные эксперименты по электронике: Метод. указания для выполнения лабораторных работ на компьютере по дисциплине «Электротехника и электроника» для студентов всех специальностей / Под ред. Л.П. Булата. – СПб.: СПбГУНиПТ, 2004. – 62 с.

ПРИЛОЖЕНИЕ

Тип элемента	Условное графическое обозначение элемента в программе <i>Electronics Workbench</i>	Условное графическое обозначение элемента и его буквенно-цифровое обозначение по отечественным стандартам
Логический элемент 2И-НЕ		
Логический элемент 3И-НЕ		
Логический элемент 2ИЛИ		
Логический элемент 2ИЛИ-НЕ		
Логический элемент 2И		

СОДЕРЖАНИЕ

ВВЕДЕНИЕ.....	5
Т е м а 1. ПРИНЦИП ДЕЙСТВИЯ И ХАРАКТЕРИСТИКИ БИПОЛЯРНЫХ ТРАНЗИСТОРОВ.....	7
Т е м а 2. РЕЖИМЫ РАБОТЫ УСИЛИТЕЛЬНЫХ КАСКАДОВ НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ.....	21
Т е м а 3. ЗАДАНИЕ РЕЖИМОВ РАБОТЫ УСИЛИТЕЛЬНЫХ КАСКАДОВ ПЕРЕМЕННОГО ТОКА НА БИПОЛЯРНЫХ ТРАНЗИСТОРАХ.....	35
Т е м а 4. ОПЕРАЦИОННЫЕ УСИЛИТЕЛИ И ИХ ПРИМЕНЕНИЕ.....	54
Т е м а 5. <i>RS</i> - И <i>JK</i> -ТРИГГЕРЫ.....	77
Т е м а 6. <i>D</i> - И <i>T</i> -ТРИГГЕРЫ.....	95
Т е м а 7. ДВОИЧНЫЕ СЧЕТЧИКИ.....	110
СПИСОК ЛИТЕРАТУРЫ.....	128
ПРИЛОЖЕНИЕ	129

Дорошков Александр Валентинович

Учебное пособие

Редактор Л.Г. Лебедева

Корректор Н.И. Михайлова

Компьютерная верстка А.В. Дорошков, Д.Е. Мышковский

Художественный редактор Н.А. Потехина

Дизайн обложки Н.А. Потехина

Директор ИПЦ Т.Г. Смирнова

Подписано в печать 27.12.2006. Формат 60×84 1/16
Печать офсетная. Усл. печ. л. 7,68. Печ. л. 8,25. Уч.-изд. л. 8,06
Тираж 500 экз. Заказ № С 50

СПбГУНиПТ. 191002, Санкт-Петербург, ул. Ломоносова, 9
ИПЦ СПбГУНиПТ. 191002, Санкт-Петербург, ул. Ломоносова, 9

Отпечатано с диапозитивов в типографии «Береста»
196006, Санкт-Петербург, ул. Коли Томчака, дом 28