

**МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ
ФЕДЕРАЦИИ**

**САНКТ-ПЕТЕРБУРГСКИЙ НАЦИОНАЛЬНЫЙ
ИССЛЕДОВАТЕЛЬСКИЙ УНИВЕРСИТЕТ
ИНФОРМАЦИОННЫХ ТЕХНОЛОГИЙ, МЕХАНИКИ И ОПТИКИ**

Б. И. Григорьев

ЭЛЕМЕНТНАЯ БАЗА И УСТРОЙСТВА ЦИФРОВОЙ ТЕХНИКИ

Учебное пособие



Санкт - Петербург
2012

УДК 621.38

Григорьев Б. И. Элементная база и устройства цифровой техники. Учебное пособие: СПб: НИУ ИТМО, 2012 - 85с.

Учебное пособие содержит методические указания к шести виртуальным лабораторным работам по исследованию широкого спектра логических элементов, триггеров и цифровых устройств на их основе.

В пособии отражены необходимые сведения о функциональных возможностях логических элементах и триггеров, особенностях синтеза ряда устройств цифровой техники на их основе, таких как шифраторы, дешифраторы, мультиплексоры, демультиплексоры, цифровые компараторы, регистры и двоичные счетчики.

Пособие ориентировано на элементную базу, приборы и устройства программы Electronics Workbench 4.0.

Методические указания пособия рекомендованы студентам, изучавшим дисциплину ЭЛЕКТРОНИКА И МИКРОПРОЦЕССОРНАЯ ТЕХНИКА.

Рекомендовано к печати Советом ИФФ от 20 мая 2011г.,
протокол № 5



В 2009 году Университет стал победителем многоэтапного конкурса, в результате которого определены 12 ведущих университетов России, которым присвоена категория «Национальный исследовательский университет». Министерством образования и науки Российской Федерации была утверждена программа его развития на 2009–2018 годы. В 2011 году Университет получил наименование «Санкт-Петербургский национальный исследовательский университет информационных технологий, механики и оптики»

© Санкт-Петербургский национальный исследовательский
университет информационных технологий, механики и оптики, 2012

© Григорьев Б. И., 2012

ВВЕДЕНИЕ

Вычислительная техника (ВТ) широко применяется в народном хозяйстве и быту. Элементной базой ВТ являются цифровые интегральные микросхемы (ЦИС). Они предназначены для преобразования и обработки электрических сигналов изменяющихся по закону дискретной, например двоичной функции, и используются для построения цифровых вычислительных приборов, аппаратуры автоматического управления, связи и т. д.

Сигналы на входах ЦИС (переменные) и сигналы на их выходах (выполняемые логические функции) принимают значения 0 или 1, что для положительной логики соответствует низкому (0) или высокому (1) уровням напряжения (для отрицательной логики наоборот). Логические операции, выполняемые ЦИС, указывают обычно для положительной логики. Логические 0 и 1 для положительной логики показаны на рис. 1, где логический 0 соответствует уровням напряжения в доли вольт, а

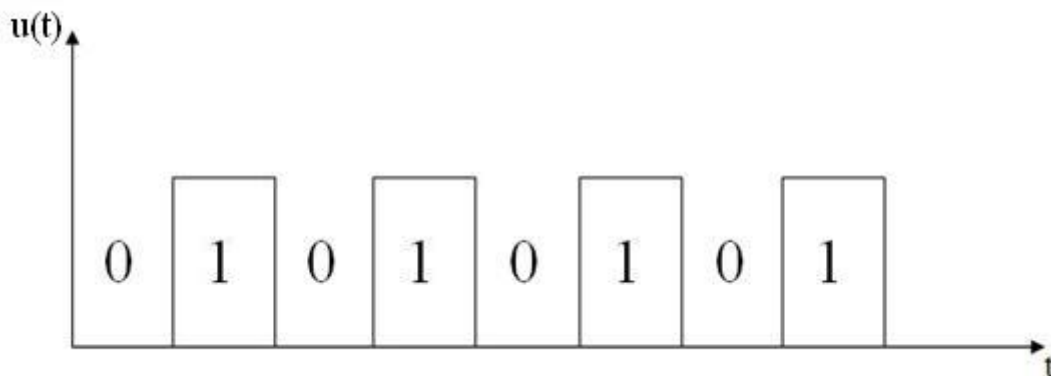


Рис. 1. Временная диаграмма уровней напряжения логических 0 и 1 для положительной логики

логическая 1-уровням напряжения около 5В.

Комбинацию переменных на входах ЦИС называют двоичным набором (двоичным числом, словом). Математический аппарат, описывающий работу ЦИС, называют алгеброй логики. Функцией алгебры логики называют функцию однозначно определяющую соответствие каждого двоичного набора нулю или 1. Если входных переменных K , то они образуют 2^K двоичных наборов, для которых можно составить 2^{2^K} логических функций. Все возможные функции одной переменной ($K = 1$) приведены в таблице 1. Эта переменная образует два двоичных

Таблица 1. Функции одной входной переменной

x_0	y_0	y_1	y_2	y_3
0	0	1	0	1
1	1	0	0	1

набора $x_0 = 0$ и $x_0 = 1$, для которых можно составить четыре логические функции: $y_0 = x_0$, $y_1 = \bar{x}_0$, $y_2 = 0$, $y_3 = 1$. Функция $y_1 = \bar{x}_0$ (логическое НЕ) носит название инверсии или отрицания и реализуется логическим элементом НЕ. В случае 2-х переменных ($K = 2$) двоичных наборов 4, которые образуют уже 16 логических функций (таблица 2). Любую из этих функций, а также функций с произвольным числом входных

Таблица 2. Возможные наборы и функции 2-х входных переменных

x_1	0	0	1	1	Условные обозначения и алгебраическое выражение функции	Название функции
x_0	0	1	0	1		
y_0	0	0	0	0	$y_0 = 0$	Постоянный 0
y_1	0	0	0	1	$y_1 = x_1 x_0$	Конъюнкция (И)
y_2	0	0	1	0	$y_2 = x_1 \rightarrow x_0 = x_1 \bar{x}_0$	Запрет
y_3	0	0	1	1	$y_3 = x_1$	Тождественность x_1
y_4	0	1	0	0	$y_4 = x_0 \rightarrow x_1 = \bar{x}_1 x_0$	Запрет
y_5	0	1	0	1	$y_5 = x_0$	Тождественность x_0
y_6	0	1	1	0	$y_6 = x_1 \oplus x_0 = x_1 \bar{x}_0 + \bar{x}_1 x_0$	Неравнозначность (исключающее ИЛИ)
y_7	0	1	1	1	$y_7 = x_1 \vee x_0 = x_1 + x_0$	Дизъюнкция (ИЛИ)
y_8	1	0	0	0	$y_8 = x_1 \downarrow x_0 = \overline{x_1 + x_0}$	Стрелка Пирса (ИЛИ-НЕ)
y_9	1	0	0	1	$y_9 = x_1 \sim x_0 = x_1 x_0 + \bar{x}_1 \bar{x}_0$	Равнозначность (исключающее ИЛИ-НЕ)
y_{10}	1	0	1	0	$y_{10} = \bar{x}_0$	Инверсия x_0
y_{11}	1	0	1	1	$y_{11} = x_0 \rightarrow x_1 = x_1 + \bar{x}_0$	Импликация от x_0 к x_1
y_{12}	1	1	0	0	$y_{12} = \bar{x}_1$	Инверсия x_1
y_{13}	1	1	0	1	$y_{13} = x_1 \rightarrow x_0 = \bar{x}_1 + x_0$	Импликация от x_1 к x_0
y_{14}	1	1	1	0	$y_{14} = x_1 / x_0 = \overline{x_1 x_0}$	Штрих Шеффера (И-НЕ)
y_{15}	1	1	1	1	$y_{15} = 1$	Постоянная 1

переменных можно задать, в частности, таблицей истинности с 2^K строками, где записывают все возможные двоичные наборы и соответствующие им значения функции. Пример таблицы истинности

логической функции 3-х входных переменных приведен на рис. 2. Здесь три входных переменных образуют $2^3 = 8$ двоичных наборов ,

№ набора	$x_2x_1x_0$	$y(x_2x_1x_0)$
0	0 0 0	0
1	0 0 1	0
2	0 1 0	1
3	0 1 1	0
4	1 0 0	0
5	1 0 1	1
6	1 1 0	1
7	1 1 1	1

Рис. 2. Пример таблицы истинности функции $y = f(x_2, x_1, x_0)$

каждому из которых соответствует свой десятичный номер (десятичное число) и значение функции. В реальных таблицах истинности столбец “№ набора” отсутствует и лишь только подразумевается. В примере таблицы на рис. 2 значения функции y проставлены произвольно, так как функция конкретно не задана.

Лабораторная работа №1

Логические элементы и выполняемые ими функции

Цель работы: экспериментальное определение значение функций, выполняемых логическими элементами, большая часть которых приведена в разделе основные положения; ознакомление с отечественными и международными условными обозначениями ряда основных логических элементов.

Основные положения. Обязательными к исследованиям являются логические элементы, информация о которых приведена ниже.

Условные обозначения, выполняемая функция отрицания (инверсии) и таблица истинности логического элемента НЕ приведены на рис. 1.1. Полный кружок в условном обозначении элемента НЕ, так же, как и в условных обозначениях любых других логических элементов и устройств на их основе, означает, что после выполнения элементом или устройством своей основной функции результат преобразования инвертируется. Как правило, функцию на рис. 1.1.а произносят так: игрек равняется не икс.

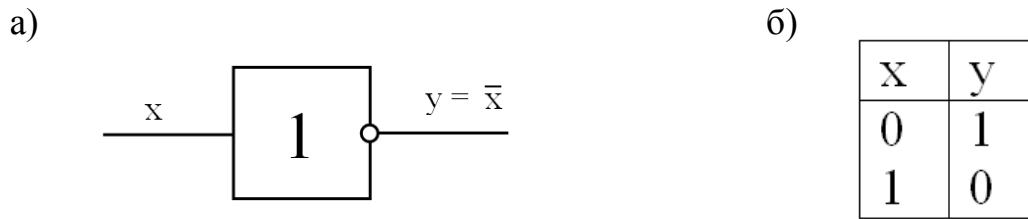


Рис. 1.1. Условное обозначение и выполняемая функция (а), таблица истинности (б) логического элемента НЕ

Функция конъюнкции 2-х переменных (логическое умножение) реализуется элементом И. Условное обозначение, выполняемая функция и таблица истинности логического элемента И приведены на рис. 1.2.

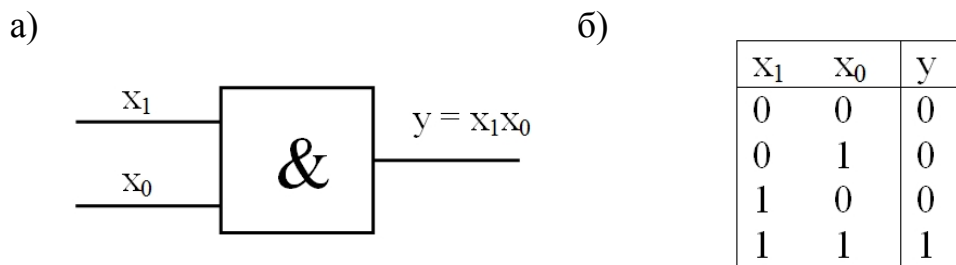


Рис. 1.2. Условное обозначение и выполняемая функция (а), таблица истинности (б) логического элемента И

Функцию конъюнкции называют еще функцией конститутенты единицы, так как она обращается в 1 лишь при одном наборе входных переменных. При всех остальных $2^k - 1$ наборах эта функция обращается в 0.

Функция дизъюнкции 2-х переменных (логическое сложение) реализуется элементом ИЛИ. Условное обозначение, выполняемая функция и таблица истинности логического элемента ИЛИ приведены на рис. 1.3 . Функцию дизъюнкции называют еще функцией конститутенты

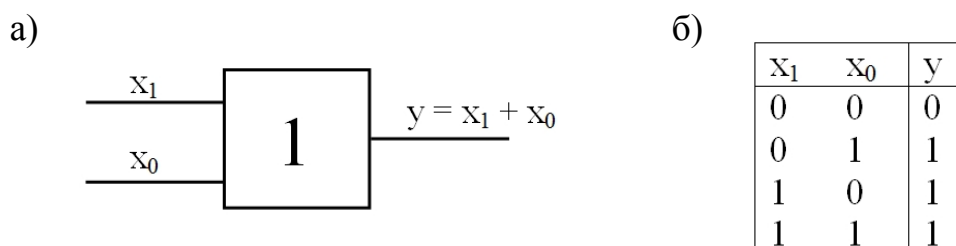
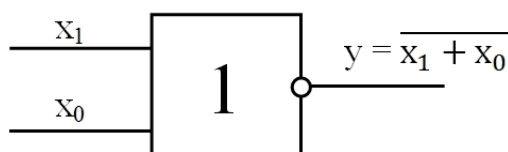


Рис. 1.3. Условное обозначение и выполняемая функция (а), таблица истинности (б) логического элемента ИЛИ

нуля, так как она обращается в ноль лишь при одном наборе входных переменных. При всех остальных $2^k - 1$ наборах эта функция обращается в 1.

Функция Пирса 2-х переменных (логическое сложение с отрицанием) реализуется элементом ИЛИ-НЕ. Условное обозначение, выполняемая функция и таблица истинности логического элемента ИЛИ-НЕ приведены на рис. 1.4. Функция Пирса является функцией

а)



б)

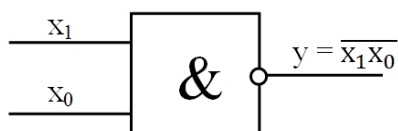
x_1	x_0	y
0	0	1
0	1	0
1	0	0
1	1	0

Рис. 1.4. Условное обозначение и выполняемая функция (а), таблица истинности (б) логического элемента ИЛИ-НЕ

конституенты единицы.

Функция Шеффера 2-х переменных (логическое умножение с отрицанием) реализуется элементом И-НЕ. Условное обозначение, выполняемая функция и таблица истинности логического элемента И-НЕ приведены на рис. 1.5. Функция Шеффера является функцией

а)



б)

x_1	x_0	y
0	0	1
0	1	1
1	0	1
1	1	0

Рис. 1.5. Условное обозначение и выполняемая функция (а), таблица истинности (б) логического элемента И-НЕ

конституенты нуля.

Функция неравнозначности (Исключающее ИЛИ), называемая также функцией сложения по модулю 2, реализуется логическим элементом Исключающее ИЛИ. Условное обозначение, выполняемая функция и таблица истинности логического элемента Исключающее ИЛИ приведены на рис. 1.6. Функцию Исключающее ИЛИ называют функцией

неравнозначности потому, что она принимает значение 1 только в тех случаях, когда входные переменные не равны. Если входные переменные равны, её значение 0.

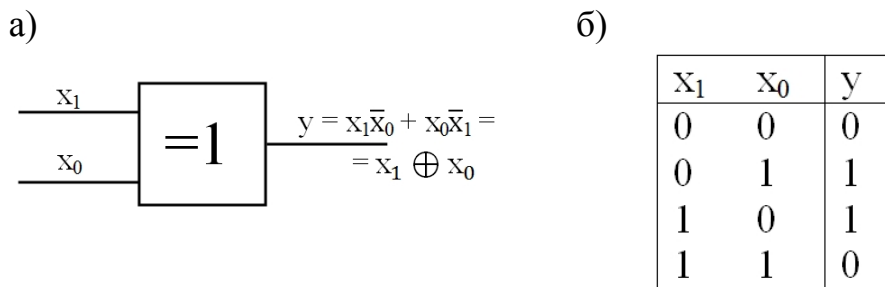


Рис. 1.6. Условное обозначение и выполняемая функция (а), таблица истинности (б) логического элемента Исключающее ИЛИ

Функция равнозначности (Исключающее ИЛИ-НЕ) реализуется логическим элементом Исключающее ИЛИ-НЕ. Условное обозначение, выполняемая функция и таблица истинности логического элемента Исключающее ИЛИ-НЕ приведены на рис. 1.7. Эта функция принимает значение 1 в тех случаях, когда входные переменные равны. Если входные

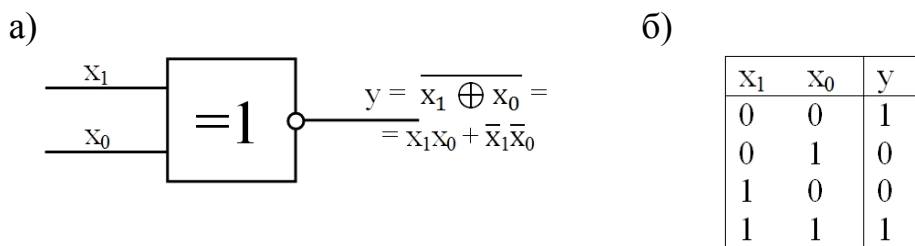


Рис. 1.7. Условное обозначение и выполняемая функция (а), таблица истинности (б) логического элемента Исключающее ИЛИ-НЕ

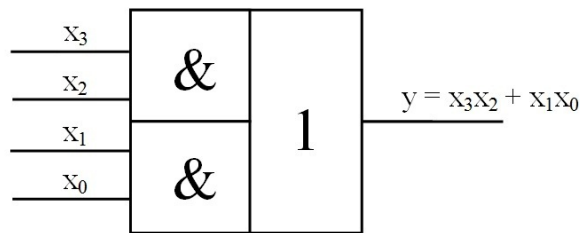
переменные не равны, ее значение 0.

Как отмечалось выше (см. таблицу 2), две входные переменные образуют 16 логических функций. В случае 3-х переменных логических функций уже 256 и т.д.

Элементы НЕ, И, ИЛИ, И-НЕ, ИЛИ-НЕ являются базовыми логическими элементами. К базовым относятся, например, и логические элементы И-ИЛИ и И-ИЛИ-НЕ.

Условное обозначение, выполняемая функция и таблица истинности логического элемента 2И-2И-ИЛИ даны на рис 1.8. Этот ЛЭ, в отличие от рассмотренных выше логических элементов, реализует уже функцию от

а)



б)

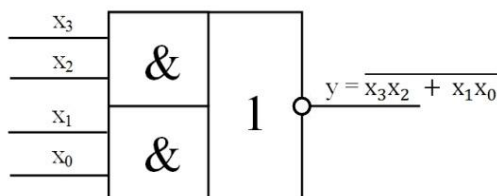
X ₃	0	0	0	0	0	0	0	0	1	1	1	1	1	1	1
X ₂	0	0	0	0	1	1	1	1	0	0	0	0	1	1	1
X ₁	0	0	1	1	0	0	1	1	0	0	1	1	0	0	1
X ₀	0	1	0	1	0	1	0	1	0	1	0	1	0	1	0
y	0	0	0	1	0	0	0	1	0	0	0	1	1	1	1

Рис. 1.8. Условное обозначение и выполняемая функция (а), таблица истинности (б) логического элемента 2И-2И-ИЛИ

4-х входных переменных.

Условное обозначение, выполняемая функция и фрагмент таблицы истинности логического элемента 2И-2И-ИЛИ-НЕ приведены на рис.1.9.

а)



б)

X ₃	X ₂	X ₁	X ₀	y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	0
·	·	·	·	·
1	1	1	1	0

Рис. 1.9. Условное обозначение и выполняемая функция (а), фрагмент таблицы истинности (б) логического элемента 2И-2И-ИЛИ-НЕ

Из сравнения условных обозначений логических элементов на рис. 1.8.а и 1.9.а и выполняемых ими функций, следует, что значения функции y элемента 2И-2И-ИЛИ-НЕ имеют противоположные значения по отношению к приведенным в таблице истинности на рис. 1.8.б.

Обратим внимание на тот факт, что в таблице истинности переменные x_0 в столбцах младшего разряда двоичных наборов повторяются с очередностью один ноль и одна единица, в столбцах

следующего разряда (x_1) – два нуля и две единицы, далее (x_2) – четыре нуля и четыре единицы и т. д. Используя эту закономерность, легко записать в таблицу истинности все возможные наборы входных переменных в нужной последовательности.

При заполнении таблиц истинности и в других случаях можно использовать, в частности, код 1-2-4-8..., позволяющий оперативно преобразовать двоичное число в десятичное и наоборот, как это показано ниже.

Пример 1. Преобразуем двоичное число 101100 в десятичное. Для

$$\begin{array}{r} 32168421 = 32+8+4 = 44_{(10)} \\ 1\ 0\ 1100_{(2)} \end{array}$$

этого записываем двоичное число, над его разрядами размещаем разряды кода 1 – 2 – 4 – 8 – 16 – 32, как в данном примере, и суммируем те десятичные числа этого кода, которые размещены над единицами двоичного числа.

Пример 2. Преобразуем десятичное число 40 в двоичный код. Для этого, записываем код 1 - 2- 4 – 8 -... так, чтобы старший разряд этого кода не

$$\begin{array}{r} 32\ 16\ 8\ 4\ 2\ 1 = 32+8=40 \\ 1\ 0\ 1\ 0\ 0\ 0 \end{array} \rightarrow 40_{(10)}=101000_{(2)}$$

превышал преобразуемого числа. Затем суммируем только те десятичные числа кода, которые образуют преобразуемое десятичное число. Под этими числами кода ставим единицы, а под остальными нули, как показано в данном примере.

В таблице 1.1 приведены отечественные и международные условные обозначения базовых логических элементов, а в таблице 1.2 – элементов Иключающее ИЛИ и Иключающее ИЛИ-НЕ. Все приведенные в таблицах логические элементы, кроме элемента НЕ, могут иметь большее число входов. Так, например, логический элемент 4И имеет четыре входа и выполняет операцию $y = x_3x_2x_1x_0$. Кроме того, ЛЭ И-ИЛИ и И-ИЛИ-НЕ могут содержать большее число элементов И с разным числом входов. Например, 2И-2И-3И-ИЛИ и 2И-3И-ИЛИ-НЕ.

Таблица 1.1. Условные обозначения базовых логических элементов.

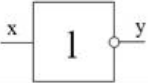
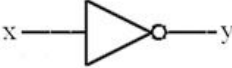
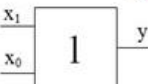
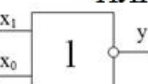
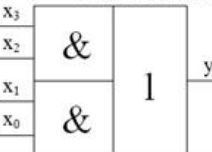
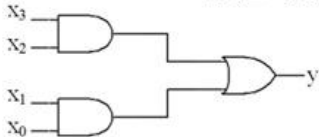
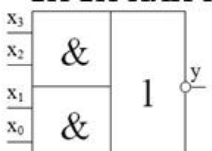
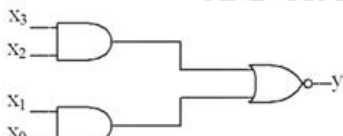
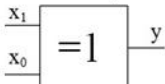
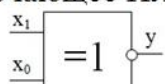
№ пп	Отечественное обозначение	Международное обозначение	Выполняемая функция
1	НЕ 	NOT 	$y = \bar{x}$
2	2И 	AND2 	$y = x_1 x_0$
3	2ИЛИ 	OR2 	$y = x_1 + x_0$
4	2И-НЕ 	NAND2 	$y = \overline{x_1 x_0}$
5	ИЛИ-НЕ 	NOR2 	$y = \overline{x_1 + x_0}$
6	2И-2И-ИЛИ 	AND-OR 	$y = x_3 x_2 + x_1 x_0$
7	2И-2И-ИЛИ-НЕ 	AND-OR-I 	$y = \overline{x_3 x_2 + x_1 x_0}$

Таблица 1.2. Отечественные и международные условные обозначения базовых логических элементов Иключающее ИЛИ и Иключающее ИЛИ-НЕ

Отечественное обозначение	Международное обозначение	Выполняемая функция
исключающее ИЛИ 	EOR2 	$y = x_1 \bar{x}_0 + \bar{x}_1 x_0 = x_1 \oplus x_0$
исключающее ИЛИ-НЕ 	ENOR2 	$y = x_1 x_0 + \bar{x}_1 \bar{x}_0 = \overline{x_1 \oplus x_0}$

Порядок выполнения работы

1. Включить компьютер и монитор.
2. Открыть файл C12_02, содержащий формирователь двоичных слов (ФДС), показанный на рис. 1.10, используя алгоритмы Multisim-File-Open-Workbench V4 – Laby – 12 - C12_02 - C12_02.CA4 - OK и при

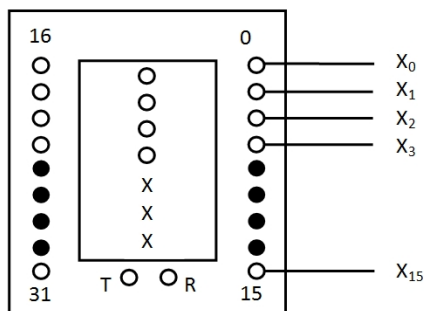


Рис. 1.10. Условное графическое обозначение формирователя двоичных слов (наборов)

выключенной схеме закодировать его на 16 двоичных слов: мышкой щелкнуть по нему дважды – Step – Pattern – UpCounter – Accept. Если в файле C12_02, кроме ФДС, присутствуют другие элементы, то их следует из файла удалить.

Правая сторона ФДС формирует переменные от x_0 до x_{15} . Так как в данной работе не требуются двоичные наборы разрядностью, превышающей четыре, то при её выполнении используем только четыре верхних выхода формирователя. При этом, упрощенное графическое обозначение ФДС можно свести к виду, показанному на рис. 1.11. Здесь с выхода x_0 снимается младший разряд двоичного набора, а с выхода

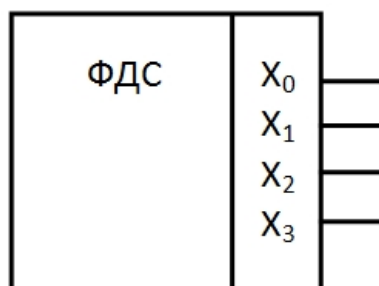


Рис. 1.11. Упрощенное условное графическое обозначение формирователя двоичных слов

x_3 – старший разряд. При этом, ФДС на рис. 1.11 реализует двоичные наборы переменных, приведенных в таблице на рис. 1.8.б.

3. Проверить соответствует ли работа ФДС таблице на рис. 1.8.б. Для этого извлечь из корзины “элементы и компоненты” четыре индикатора и подсоединить их к выходам ФДС. Индикаторы находятся в корзине, обозначенной цифрой 8 красного цвета, и имеют вид красного кружочка с отводом от него. Включить ФДС, щелкнуть по нему мышкой дважды, и установить его в исходное состояние, при котором $x_3x_2x_1x_0 = 0000$. Для этого нужно включить, выключить и опять включить схему. Лучеобразное отображение индикатора указывает на то, что на него подана логическая единица. Последовательно нажимая на Step, перебрать все 16 наборов переменных, занести их в таблицу 1.3 и сравнить эти наборы с данными

Таблица 1.3. Состояния выходов формирователя двоичных слов

A_{10}	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
x_3	0															
x_2	0															
x_1	0															
x_0	0															

таблицы на рис. 1.8.б. В таблице 1.3, A_{10} – десятичный номер состояния выходов ФДС. Выключить схему.

4. Экспериментальным путем определить значения функций выполняемых логическими элементами. При этом привести условные обозначения, алгебраические выражения выполняемых функций и таблицы истинности всех, приведенных в разделе «Основные положения», логических элементов.

Логические элементы находятся в корзине MISC. Извлечение их из корзины осуществляется мышкой в соответствии с алгоритмом:

MISC – левый верхний угол появившейся таблицы – выделение нужного логического элемента – ОК и прижатой клавише мышки размещение его на экране монитора.

Пусть первым из исследуемых логических элементов является ЛЭ 2И (AND2). В соответствии с приведенным выше алгоритмом, извлекаем его из корзины MISC и подсоединяем к выходам x_0 и x_1 ФДС, как это показано на рис. 1.12, где к выходу ЛЭ подключен индикатор ИН, отражающий то или другое состояние логического элемента (0 или 1). Далее, включить

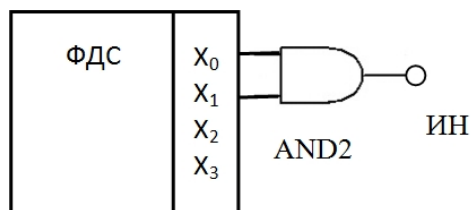


Рис. 1.12. Схема экспериментального определения значений функций, выполняемых логическими элементами

схему, трижды нажать на Step, отразить полученные результаты в виде, показанном на рис. 1.13, и сравнить их с данными, приведенными на рис. 1.2. И так для каждого из приведенных выше логических элементов.

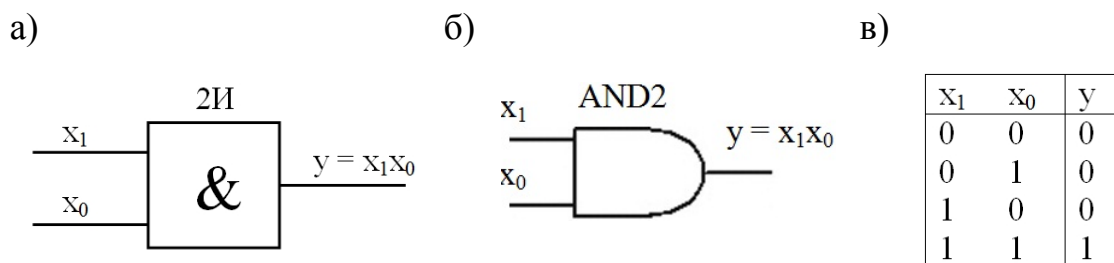


Рис. 1.13. Условные обозначения и выполняемая функция (а, б), экспериментальная таблица истинности (в) логического элемента 2И (AND2)

Замена одного логического элемента на другой проводится при выключенной схеме в соответствии с алгоритмом: щелкнуть мышкой по ЛЭ дважды – Replace – выделить из появившегося на экране монитора перечня ЛЭ другой, подлежащий исследованию, логический элемент – ОК. Используя приведенный алгоритм замены ЛЭ в схеме на рис. 1.12, исследовать дополнительно логические элементы 2ИЛИ (OR2), 2И – НЕ (NAND2), 2ИЛИ – НЕ (NOR2), Исключающее ИЛИ (EOR2), Исключающее ИЛИ – НЕ (ENOR2) и инвертор НЕ (NOT).

Для экспериментального определения значений функций, выполняемых 4-х входным ЛЭ, собрать схему, показанную на рис. 1.14 применительно к ЛЭ 2И – 2И – ИЛИ – НЕ (AND – OR – I), представленного в корзине ЛЭ в виде единого блока. Логического элемента 2И – 2И – ИЛИ (AND – OR), представленного в корзине в виде единого блока, нет. Поэтому этот ЛЭ нужно собрать из двух элементов 2И и одного элемента ИЛИ, либо дополнить ЛЭ AND – OR – I инвертором NOT, преобразуя таким образом NOR2 в OR2.

5. Выключить схему и закрыть окно с этой схемой, ответив “Нет” на

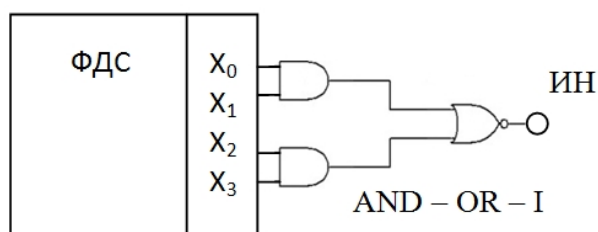


Рис. 1.14. Схема экспериментального определения значений функций 4-х входных логических элементов

вопрос компьютера. Закрыть второе окно и выключить компьютер и монитор.

Содержание отчета

1. Условные обозначения (отечественные и международные), алгебраические выражения выполняемых функций и таблицы истинности всех исследованных логических элементов.
2. Способы кодирования ФДС и замены ЛЭ в измерительной установке (алгоритмы кодирования и замены).
3. Перевод двоичного числа в десятичное и наоборот.
4. Выводы.

Лабораторная работа №2

Синтез комбинационных цифровых схем

Цель работы: изучение особенностей выполнения синтеза, в том числе, способов задания и минимизации логических функций, особенностей перехода к заданному базису и построения структурной схемы моделируемого комбинационного цифрового устройства.

Основные положения. Комбинационные цифровые схемы (КЦС) состоят только из логических элементов и не содержат элементов памяти (триггеров). Поэтому состояние КЦС однозначно определяется комбинацией входных сигналов в данный конкретный момент времени и не зависит от предыдущего его состояния.

К КЦС относятся шифраторы, дешифраторы, мультиплексоры, демультиплексоры, сумматоры, цифровые компараторы, преобразователи кодов и др.

Цель синтеза – построение структурной схемы КЦС в соответствии с заданными условиями его работы, исходя из минимальных аппаратных затрат.

Последовательность синтеза:

1. Запись условий функционирования КЦС (словесно, с помощью ТИ, посредством карты Карно или, как правило, алгебраическим выражением).
2. Минимизация алгебраического выражения.
3. Запись минимизированного выражения в заданном базисе, например, в базисе И – НЕ.
4. Составление структурной схемы моделируемой КЦС, то есть изображение нужных логических элементов и связей между ними.

Возможные записи условия функционирования КЦС поясним на простейшем примере логического элемента исключающее ИЛИ:

1. Словесная – принимает значение 1, когда входные переменные не равны и 0, когда равны.
2. С помощью таблицы истинности

x_1	x_0	y
0	0	0
0	1	1
1	0	1
1	1	0

3. Алгебраическим выражением $y = x_1 \bar{x}_0 + \bar{x}_1 x_0$.
4. Посредством карты Карно

		x_0	
		0	1
x_1	0	0	1
	1	1	0

Минимизация алгебраического выражения условия функционирования КЦС может быть проведена одним из способов:

1. Алгебраическим.
2. Посредством карты Карно.

Для реализации первого из этих способов нужно использовать соотношения, приведенные в таблице 2.1, основными из которых при

минимизации являются $x + \bar{x} = 1$ и $x_0 + x_1x_2 = (x_0 + x_1)(x_0 + x_2)$. Для реализации второго из этих способов нужно использовать одну из карт Карно, показанных на рис.2.1, где k – число входных переменных в составе

Таблица 2.1. Основные аксиомы и законы алгебры логики для функций И, ИЛИ, НЕ

Аксиомы	Законы
$1 + x = 1, 0 + x = x$	Переместительный: $x_1 + x_2 = x_2 + x_1, x_1x_2 = x_2x_1$
$1 \cdot x = x, 0 \cdot x = 0$	Сочетательный: $(x_1 + x_2) + x_3 = x_1 + (x_2 + x_3), (x_1x_2) \cdot x_3 = x_1 \cdot (x_2x_3)$
$\bar{0} = 1, \bar{1} = 0$	Распределительный: $x_1 \cdot (x_2 + x_3) = x_1x_2 + x_1x_3, x_1 + x_2x_3 = (x_1 + x_2)(x_1 + x_3)$
$x + x = x, x + \bar{x} = 1$	Поглощения: $x_1 + x_1x_2 = x_1, x_1 \cdot (x_1 + x_2) = x_1$
$x \cdot x = x, x \cdot \bar{x} = 0$	Склеивания: $x_1x_2 + x_1\bar{x}_2 = x_1, (x_1 + x_2)(x_1 + \bar{x}_2) = x_1$
$\bar{\bar{x}} = x$	Дуальности: $\overline{x_1 + x_2} = \bar{x}_1\bar{x}_2, \overline{x_1x_2} = \bar{x}_1 + \bar{x}_2$

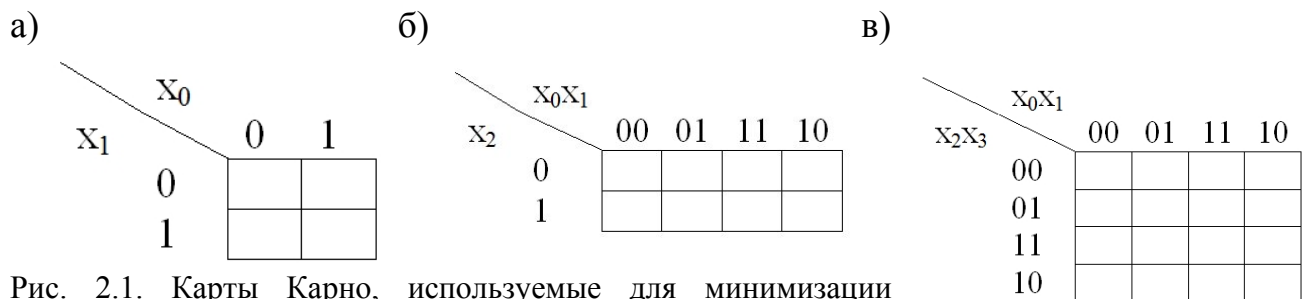


Рис. 2.1. Карты Карно, используемые для минимизации логических функций

алгебраического выражения минимизируемой функции. Для минимизации алгебраического выражения функции от пяти входных переменных используется карта Карно, изображенная на рис. 2.2. Графическое представление логических функций в виде карт Карно целесообразно при

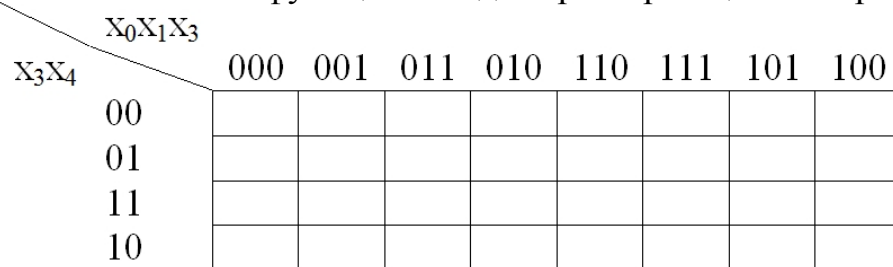


Рис. 2.2. Карта Карно, используемая при минимизации логических функций от пяти входных переменных ($k = 5$)

$k \leq 6$. Для примера выполним минимизацию алгебраическим способом логической функции от трех переменных:

$$\begin{aligned}
 y &= x_2x_1x_0 + x_2x_1\bar{x}_0 + x_2\bar{x}_1\bar{x}_0 + \bar{x}_2\bar{x}_1\bar{x}_0 + \bar{x}_2x_1\bar{x}_0 = x_2x_1x_0 + \\
 &+ x_2\bar{x}_0 (\overset{1}{x_1 + \bar{x}_1}) + \bar{x}_2\bar{x}_0 (\overset{1}{\bar{x}_1 + x_1}) = x_2x_1x_0 + \bar{x}_0 (\overset{1}{x_2 + \bar{x}_2}) = \\
 &= (\overset{1}{\bar{x}_0 + x_0}) (\bar{x}_0 + x_2x_1) = \bar{x}_0 + x_2x_1
 \end{aligned}$$

Здесь в процессе преобразования четыре раза использовалась аксиома $x + \bar{x} = 1$, а на последней стадии минимизации распределительный закон.

Минимизируем эту же функцию вторым способом, представив её на карту Карно. Так как входных переменных в минимизируемой функции $k = 3$, то используем карту из рис. 2.1.б, изобразив её для данной функции в виде, показанном на рис. 2.3. Каждое слагаемое в любой логической функции представляет собой минтерм – конъюнкцию входных переменных,

		x_0x_1			
		00	01	11	10
x_2	0	1	1	0	0
	1	1	1	1	0

1 2

Рис. 2.3. Карта Карно для функции из выше приведенного примера

обращающую функцию в 1. Поэтому на карте (рис. 2.3) пять единиц. Если переменная в любом из слагаемых функции имеет прямое значение, то ей присваивается значение 1, если инверсное – 0. Например,

$$\begin{array}{ccc}
 1 & 1 & 0 \\
 x_2 & x_1 & \bar{x}_0
 \end{array}$$

Поэтому минтермы на карте расположены в клетках так, как это показано на рис. 2.3. Определение минимизированного выражения функции из карты Карно проводится в два этапа:

1. Объединение минтермов на карте в группы.
2. Считывание с карты минимизированного выражения функции.

Группируя минтермы на карте нужно соблюдать следующие правила:

1. Группа минтермов должна представлять собой правильный прямоугольник.

2. Каждая группа должна содержать максимально возможное число минтермов, подчиняющееся правилу 2^i (1, 2, 4, 8 и т. д.), и отличаться от любой другой группы хотя бы одним минтермом.

3. Число групп на карте должно быть минимальным.

Следуя этим правилам, выделим на карте рис. 2.3 две группы - 1 и 2.

Считывая минимальное выражение функции с карты имеем в виду, что:

1. Слагаемых в нем столько, сколько групп минтермов на карте.

2. Алгебраическое выражение минимизированной функции равно сумме алгебраических выражений каждой из этих групп.

3. При записи выражения группы учитываем только те переменные которые в соседних клетках повторяются. Если повторяющаяся переменная имеет значение 0, записываем её в алгебраическом выражении группы с инверсией, если 1 – в прямом виде (без инверсии).

Из рис.2.3 видно, что группе 1 соответствует повторяющаяся переменная $\bar{x}_0$, а группе 2 – переменные x_1 и x_2 . Поэтому минимизированное алгебраическое выражение функции, представленной на карту рис. 2.3, имеет вид

$$y = \bar{x}_0 + x_2x_1$$

и в точности совпадает с ее выражением, полученным выше алгебраическим способом.

Следует отметить, что при минимизации сложных логических функций предпочтительной является минимизация посредством карты Карно, так как алгебраический способ связан с трудоёмкими преобразованиями, и не всегда приводит к желаемому результату. В дальнейшем, при минимизации будем использовать только карты Карно.

Другие примеры минимизации:

1. Выполним минимизацию функции

$$y = \bar{x}_2x_1\bar{x}_0 + x_2x_1x_0 + \bar{x}_2x_1x_0 + \bar{x}_2\bar{x}_1x_0 + x_2\bar{x}_1\bar{x}_0 + x_2x_1\bar{x}_0 + x_2\bar{x}_1x_0.$$

Так как эта функция от 3-х переменных, используем карту рис. 2.1.б. Следуя перечисленным выше правилам, представим эту функцию на

		x_0x_1			
		00	01	11	10
x_2	0	0	1	1	1
	1	1	1	1	1

На карте Карно для функции $y = \bar{x}_2x_1\bar{x}_0 + x_2x_1x_0 + \bar{x}_2x_1x_0 + \bar{x}_2\bar{x}_1x_0 + x_2\bar{x}_1\bar{x}_0 + x_2x_1\bar{x}_0 + x_2\bar{x}_1x_0$ показаны следующие группы минтермов:

- Группа 1 (обозначена цифрой 1): $\bar{x}_0$ (клетки с $x_0=0$).
- Группа 2 (обозначена цифрой 2): x_1 (клетки с $x_1=1$).
- Группа 3 (обозначена цифрой 3): x_2 (клетки с $x_2=1$).

карту Карно, объединим минтермы на карте в группы и считаем с карты минимизированное выражение функции в виде

$$y = x_0 + x_1 + x_2.$$

2. Функция Y от четырех переменных представлена на карту Карно в виде:

		x_0x_1			
		00	01	11	10
x_2x_3	00	1	1	1	1
	01	1	1	1	1
	11	1	1	1	1
	10	0	1	0	1

2

4 1 3

Объединив минтермы на карте в 4 группы, считаем с карты минимизированное выражение функции:

$$y = \bar{x}_2 + x_3 + x_0\bar{x}_1 + \bar{x}_0x_1.$$

Здесь минтермы на карте объединены в четыре группы: две группы по 8 минтермов и две по 4. В частности, группа 1 расположена по горизонтали в области переменных x_0 и x_1 , имеющих, соответственно, значения 00, 01, 11 и 10, которые повторяются, но не во всех клетках области. Поэтому переменные x_0 и x_1 в алгебраическое выражение этой группы не входят. По вертикали группа 1 расположена в области переменных x_2x_3 со значениями 00 и 01, где повторяется только переменная x_2 со значением 0. Поэтому переменную x_3 опускаем и алгебраическое выражение этой группы записываем в виде $\bar{x}_2$. Аналогично получаем алгебраическое выражение группы 2 в виде x_3 . Группы 3 и 4 расположены в области переменных x_2x_3 со значениями 00, 01, 11 и 10, каждая из которых повторяется не во всех клетках области. Следовательно, эти переменные в алгебраические выражения группы 3 и 4 не входят. При этом группа 3 расположена в области переменных x_0x_1 со значениями 10, которые и составляют алгебраическое выражение этой группы $x_0\bar{x}_1$. Аналогично, алгебраическое выражение группы 4 - $\bar{x}_0x_1$. Сумма алгебраических выражений этих 4-х групп и составляет минимизированное выражение функции, приведенное выше.

3. Функция Y от четырех переменных представлена на карту Карно в виде:

X_0X_1		X_2X_3			
		00	01	11	10
X_2X_3	00	0	1	1	0
	01	1	0	0	1
	11	1	0	0	1
	10	0	1	1	0

Получим минимальное выражение этой функции, используя кроме приведенных выше правил минимизации, правило преобразования карты в цилиндр. Согласно этому правилу, если свернуть карту в цилиндр, то крайние столбцы становятся соседними. Преобразование карты в цилиндр можно осуществлять в любом направлении. Применив это правило, образуем на карте две группы минтермов 1 и 2 по четыре минтерма в каждой, после чего считываем с карты минимизированное выражение функции в виде:

$$y = \bar{x}_1 x_3 + x_1 \bar{x}_3. \quad (2.0)$$

При записи минимизированного выражения в заданном базисе, т. е. в виде одних и тех же логических функций, например, в виде функций И – НЕ, применяют теорему де Моргана:

$$\overline{x_0 + x_1 + \dots + x_k} = \bar{x}_0 \cdot \bar{x}_1 \cdot \dots \cdot \bar{x}_k \quad (2.1)$$

- инверсия суммы любого числа переменных равна произведению их инверсных значений. Слагаемые в левой части выражения (2.1) могут быть не только одноразрядными числами, но и числами, состоящими из любого числа конъюнктивно связанных переменных. Вторая теорема де Моргана имеет вид:

$$\overline{x_0 \cdot x_1 \cdot \dots \cdot x_k} = \bar{x}_0 + \bar{x}_1 + \dots + \bar{x}_k \quad (2.2)$$

- инверсия произведения любого числа переменных равна сумме их инверсных значений. Так же, как и в (2.1), переменные в левой части (2.2) могут быть многоразрядными. Отметим, что законы дуальности (двойственности) в таблице 2.1 являются частными случаями теоремы де Моргана.

Для перехода к базису И – НЕ нужно над минимизированным выражением функции поставить две инверсии, одну из которых раскрыть в соответствии с теоремой де Моргана (2.1). Двойное инвертирование минимизируемой функции правомочно, так как, согласно одной из аксиом в таблице 2.1, $\overline{\overline{x}} = x$. Для примера, перейдем к базису И – НЕ в выражении (2.0):

$$y = \overline{x}_1 x_3 + x_1 \overline{x}_3 = \overline{\overline{\overline{x}_1 x_3 + x_1 \overline{x}_3}} = \overline{\overline{x}_1 x_3} \cdot \overline{x_1 \overline{x}_3} = \overline{A} \cdot B.$$

Видно, что в полученном выражении все компоненты представлены в виде функций И – НЕ и для построения структурной схемы устройства, реализующего данную функцию, требуется три логических элемента 2И – НЕ: первый – для реализации переменной А, второй – для реализации переменной В, третий – для реализации произведения этих переменных с последующей инверсией результата умножения. Строго говоря, здесь нужны еще два логических элемента 2И – НЕ, позволяющих получить инверсные значения переменных x_1 и x_3 . Преобразование переменной с прямым значением в инверсное осуществляется с помощью логического элемента 2И – НЕ так, как это показано на рис. 2.4. здесь два входа элемента объединены и на них подана одна и та же переменная x . Видно,

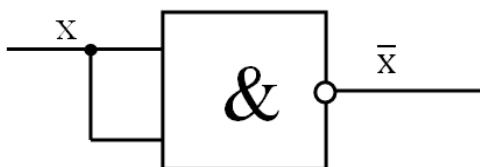


Рис. 2.4. Схема преобразования логического элемента 2И – НЕ в инвертор

что на выходе элемента функция $y = \overline{x \cdot x} = \overline{x}$, так как, согласно таблице 2.1, $x \cdot x = x$.

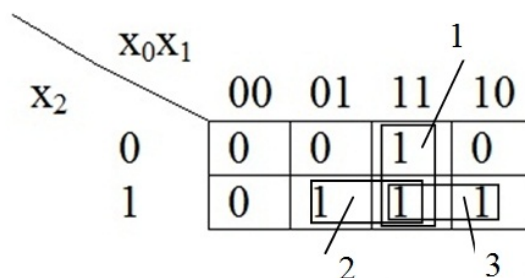
Примеры синтеза комбинационных цифровых систем.
Пример 1. Синтезировать из элементов И – НЕ КЦС на три входа, выходной сигнал которого совпадает с большинством входных (мажоритарный элемент). Этому словесному описанию функционирования КЦС соответствует таблица истинности

x_2	x_1	x_0	y
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	1
1	1	1	1

и алгебраическое выражение реализуемой логической функции

$$y = \bar{x}_2 x_1 x_0 + x_2 \bar{x}_1 x_0 + x_2 x_1 \bar{x}_0 + x_2 x_1 x_0,$$

полученной из ТИ. При записи алгебраического выражения этой функции учитывались только те наборы входных переменных, которые обращают функцию в 1. Минимизируем эту функцию, представив её на карту



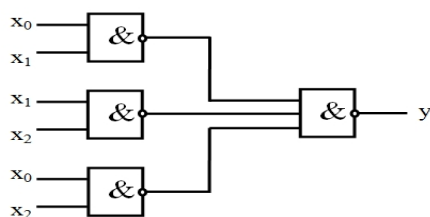
Карно, откуда следует, минимальное выражение реализуемой функции:

$$y = x_0x_1 + x_1x_2 + x_0x_2.$$

Перейдем в этом выражении к базису И – НЕ:

$$y = x_0x_1 + x_1x_2 + x_0x_2 = \overline{\bar{x}_0\bar{x}_1} + \overline{\bar{x}_1\bar{x}_2} + \overline{\bar{x}_0\bar{x}_2} = \overline{\bar{x}_0\bar{x}_1 \cdot \bar{x}_1\bar{x}_2 \cdot \bar{x}_0\bar{x}_2}.$$

Из полученного выражения видно, что КЦС, реализующая мажоритарный элемент, содержит три логических элемента 2И – НЕ и один элемент 3И – НЕ, а структурная схема этой КЦС имеет вид, показанный на рисунке:



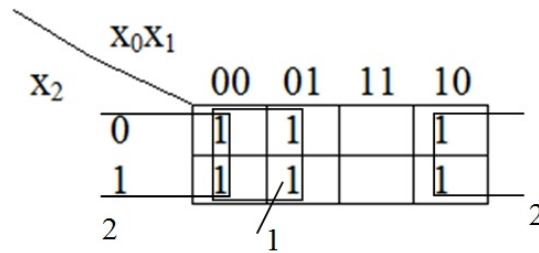
Пример 2. Синтезировать из элементов И – НЕ КЦС, реализующую следующую логическую функцию:

$$y = \bar{x}_2 \bar{x}_1 \bar{x}_0 + x_2 \bar{x}_1 \bar{x}_0 + \bar{x}_2 x_1 \bar{x}_0 + x_2 x_1 \bar{x}_0 + \bar{x}_2 \bar{x}_1 x_0 + x_2 \bar{x}_1 x_0.$$

Этой функции соответствует таблица истинности

x_2	x_1	x_0	y
0	0	0	1
0	0	1	1
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	1
1	1	0	1
1	1	1	0

Минимизируем эту функцию посредством карты Карно,



откуда

$$y = \bar{x}_0 + \bar{x}_1.$$

Перейдем в этом выражении к базису И-НЕ:

$$y = \bar{x}_0 + \bar{x}_1 = \overline{\bar{\bar{x}_0}} + \bar{x}_1 = \overline{\bar{x}_0 \cdot \bar{x}_1} = \overline{x_0 \cdot x_1}.$$

Из полученного выражения видно, что КЦС реализующая заданную функцию, должна содержать всего лишь один элемент 2И – НЕ, составляющий структурную схему этой КЦС.

Пример 3. Синтезировать из элементов И – НЕ КЦС, реализующую логическую функцию

$$y = x_3x_2x_1x_0 + \bar{x}_3x_2x_1x_0 + x_3\bar{x}_2x_1x_0 + x_3x_2x_1\bar{x}_0 + \bar{x}_3\bar{x}_2x_1\bar{x}_0 + x_3\bar{x}_2x_1\bar{x}_0 + x_3x_2\bar{x}_1\bar{x}_0 + x_3x_2\bar{x}_1x_0 + x_3\bar{x}_2\bar{x}_1\bar{x}_0 + \bar{x}_3\bar{x}_2\bar{x}_1\bar{x}_0 + \bar{x}_3x_2\bar{x}_1x_0 + \bar{x}_3\bar{x}_2x_1x_0 + \bar{x}_3\bar{x}_2\bar{x}_1x_0,$$

которой соответствует таблица истинности, содержащая как и логическая функция 13 минтермов

x_3	x_2	x_1	x_0	y
0	0	0	0	1
0	0	0	1	1
0	0	1	0	1
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	0
0	1	1	1	1
1	0	0	0	1
1	0	0	1	0
1	0	1	0	1
1	0	1	1	1
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	1

Минимизируем эту функцию посредством карты Карно,

		X_0X_1			
		00	01	11	10
X_2X_3	00	1	1	1	1
	01	1	1	1	0
	11	1	1	1	1
	10	0	0	1	1

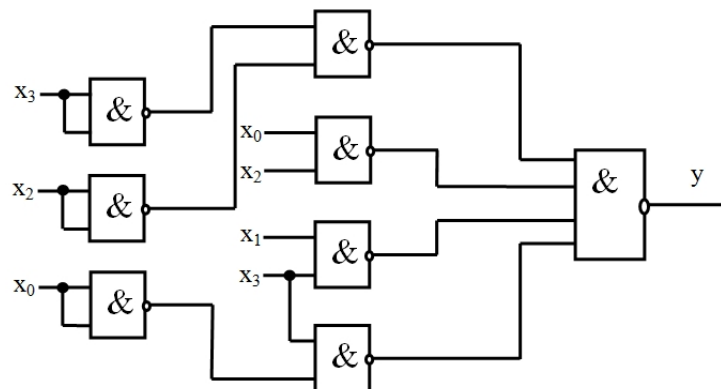
откуда следует минимальное выражение реализуемой логической функции в виде:

$$y = \overline{x}_3\overline{x}_2 + x_0x_2 + x_1x_3 + \overline{x}_0x_3.$$

Перейдем в этом выражении к базису И – НЕ:

$$y = \overline{\overline{x}_3\overline{x}_2 + x_0x_2 + x_1x_3 + \overline{x}_0x_3} = \overline{\overline{x}_3\overline{x}_2} \cdot \overline{x_0x_2} \cdot \overline{x_1x_3} \cdot \overline{\overline{x}_0x_3}.$$

Из полученного выражения видно, что КЦС, реализующая заданную функцию, должна содержать семь логических элементов 2И – НЕ, три из которых выполняют функцию инверторов переменных x_0 , x_2 , x_3 , и один элемент 4И – НЕ, а структурная схема этой КЦС имеет вид:



Используя положения синтеза можно из элементов И – НЕ получить любой другой логический элемент. Так как функции, выполняемые логическими элементами, представлены в минимальном виде, то этап минимизации этих функций отсутствует. Таким образом, последовательность синтеза логических элементов из элементов И – НЕ следующая:

1. Запись в алгебраическом виде условия функционирования синтезируемого логического элемента.

2. Переход в этом выражении к базису И – НЕ.

3. Построение структурной схемы синтезируемого логического элемента.

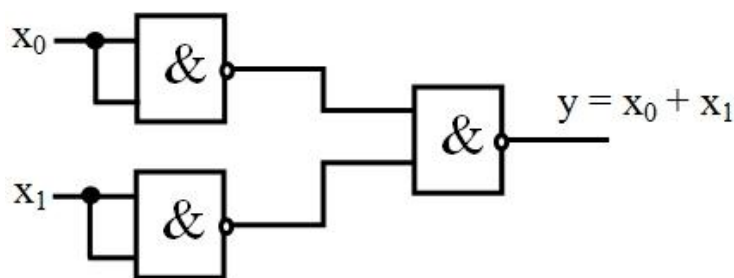
Для примера, получим из элементов И – НЕ логический элемент ИЛИ, выполняющий функцию

$$y = x_0 + x_1.$$

Перейдем в этом выражении к базису И – НЕ:

$$y = x_0 + x_1 = \overline{\overline{x_0} + \overline{x_1}} = \overline{\overline{x_0} \cdot \overline{x_1}},$$

откуда видно, что логический элемент ИЛИ содержит три элемента 2И – НЕ, два из которых выполняют функцию инверторов, а его структурная схема имеет вид:



Порядок выполнения работы

1. Получить от преподавателя задание к лабораторной работе по синтезу КЦС, приведенное ниже.

Синтезировать из элементов И – НЕ:

а) КЦС, реализующую функцию от 3-х переменных;

б) КЦС, реализующую функцию от 4-х переменных

с) КЦС, реализующую функцию, выполняемую другим логическим элементов, например, элементом ИЛИ – НЕ.

Задание должно быть выполнено дома на бумажном носителе и содержать по каждому из пунктов:

а) алгебраическое выражение;

б) таблицу истинности;

с) карту Карно;

д) минимизированное выражение;

е) структурную схему реализации синтезируемой логической функции.

При выполнении задания целесообразно ориентироваться на примеры 1 – 3 и пример синтеза из И – НЕ логического элемента ИЛИ, приведенные в разделе “Основные положения” данной лабораторной работы.

2. Дать для проверки преподавателю задание, выполненное на бумажном носителе.

3. После проверки задания и устранения возможных ошибок, включить компьютер и монитор.

4. Открыт файл C12_02 с формирователем двоичных слов, используя алгоритм: Multisim – File – Open – Workbench V4 – Laby – 12 – C12_02 – C12_02.CF4 – ОК и закодировать формирователь на 16 двоичных слов: мышкой по нему дважды – Step – Pattern – UpCounter – Accept.

5. Собрать схему по пункту 1,а задания, включить её и проверить схему на функционирование в соответствии с ТИ, последовательно нажимая на Step ФДС. В случае несовпадения полученных результатов с данными таблицы, найти и устранить ошибки в собранной схеме. Выключить схему и очистить ее от логических элементов и соединений.

6. Собрать схему по пункту 1,б задания и далее, как в п. 5.

7. Собрать схему по пункту 1,в задания и далее, как в п. 5.

8. Закрыть окно с этой схемой, ответив “Нет” на вопрос компьютера. Закрыть второе окно и выключить компьютер и монитор.

Содержание отчета

1. Алгебраические выражения, таблицы истинности, карты Карно, минимизированные выражения и структурные схемы реализации синтезированных в задании логических функций.

2. Схемы экспериментальной проверки структурных схем по п. п.1,а;1,б и 1,в.

3. Словесная сравнительная оценка результатов предварительного моделирования (синтеза КЦС) и экспериментальных данных.

4. Выводы.

Лабораторная работа №3

Типовые комбинационные цифровые схемы

Цель работы: изучение особенностей функционирования и моделирования наиболее распространенных видов типовых комбинационных цифровых схем – шифраторов, дешифраторов,

мультиплексоров и демультиплексоров, а также, их синтез и компьютерная реализация.

Основные положения. Шифратор (CD) преобразует десятичное число в двоичный код при подаче сигнала 1 (CD высокого уровня) или сигнала 0 (CD низкого уровня) на вход с номером этого десятичного числа. Шифратор имеет m -входов и n -выходов. Максимальное число входов CD

$$m = 2^n. \quad (3.1)$$

Если используются все входы, то это полный CD, если их часть – неполный. Согласно выражению (3.1), шифраторы подразделяются на CD “из 4 в 2”, “из 8 в 3”, “из 16 в 4” и т. д.

Условное графическое обозначение и таблица истинности полного CD высокого уровня (CD “из 8 в 3”) приведены на рис 3.1, где A_{10} –

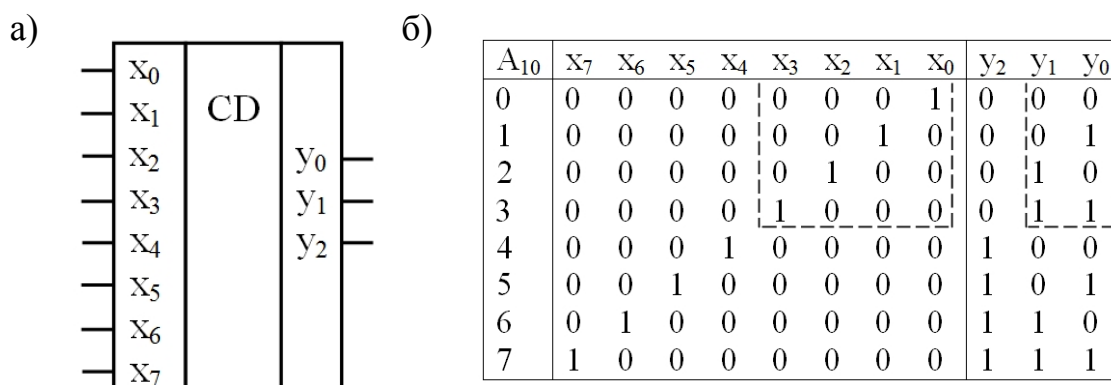


Рис. 3.1. Условное графическое обозначение (а) и таблица истинности (б) шифратора высокого уровня “из 8 в 3”

– преобразуемое десятичное число. Пунктиром в таблице истинности на рис. 3.1, б выделена ТИ шифратора “из 4 в 2”.

Структурные формулы выходных функций CD “из 8 в 3” запишем непосредственно из ТИ в виде:

$$\begin{aligned} y_0 &= x_1 + x_3 + x_5 + x_7, \\ y_1 &= x_2 + x_3 + x_6 + x_7, \\ y_2 &= x_4 + x_5 + x_6 + x_7. \end{aligned} \quad (3.2)$$

Видно, что этот CD реализуется на основе трех 4-х входных элементов ИЛИ, как это показано на рис. 3.2. Этот шифратор можно реализовать и на

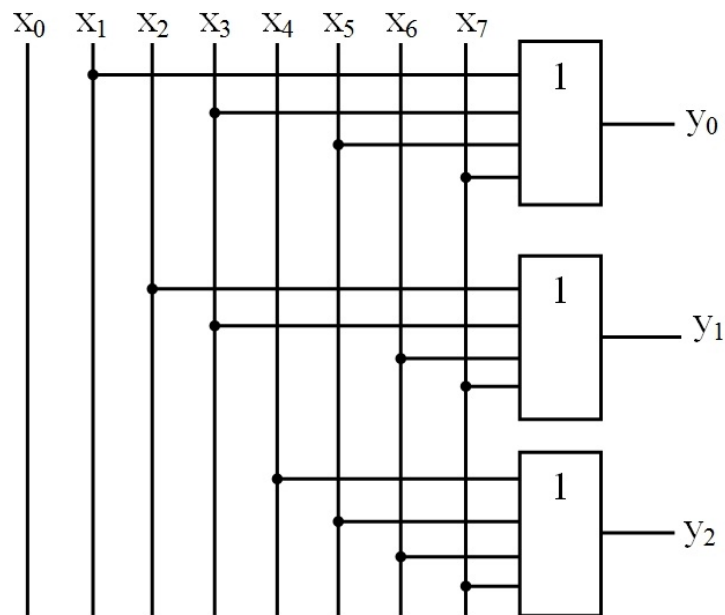


Рис. 3.2. Структурная схема шифратора высокого уровня “из 8 в 3” на основе логических элементов ИЛИ

основе элементов И-НЕ. Однако, для такой реализации шифратора требуется гораздо большее число логических элементов. Действительно, после перехода к базису И-НЕ в выражениях (3.2), структурные формулы выходных функций CD принимают вид:

$$\begin{aligned} Y_0 &= \overline{X_1 \cdot X_3 \cdot X_5 \cdot X_7}, \\ Y_1 &= \overline{X_2 \cdot X_3 \cdot X_6 \cdot X_7}, \\ Y_2 &= \overline{X_4 \cdot X_5 \cdot X_6 \cdot X_7}. \end{aligned} \quad (3.3)$$

Из выражений (3.3) видно, что для реализации CD “из 8 в 3” на основе элементов И-НЕ требуется 10 логических элементов – 7 элементов 2И-НЕ, выполняющих функции инверторов входных переменных и три элемента 4И-НЕ.

Дешифратор (DC) преобразует двоичный код в сигнал 1 (DC высокого уровня) или в сигнал 0 (DC низкого уровня) на том из выходов, десятичный номер которого соответствует этому двоичному коду. Дешифратор имеет m- входов и n- выходов. Максимальное число выходов

$$n = 2^m. \quad (3.4)$$

Поэтому различают дешифраторы “из 2 в 4”, “из 3 в 8”, “из 4 в 16”, и т. д. Если используют все выходы, то это полный ДС, если их часть – неполный.

Условное графическое обозначение и таблица истинности полного ДС высокого уровня (ДС “из 3 в 8”) приведены на рис.3.3, где Е-стробирующий

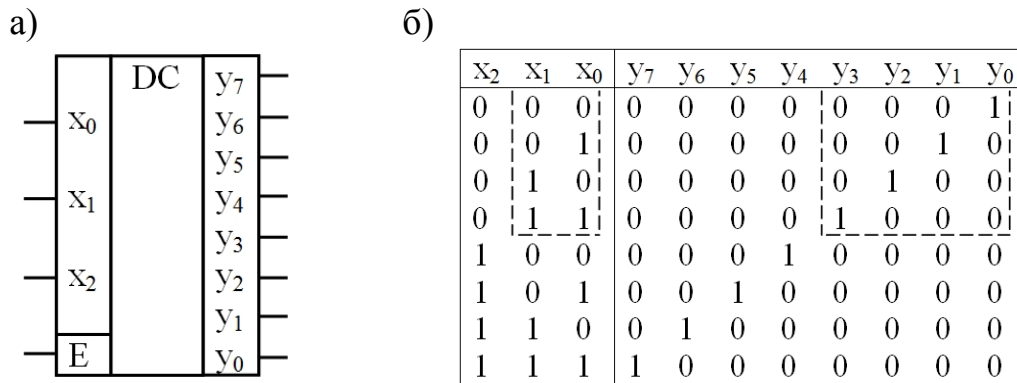


Рис. 3.3. Условное графическое обозначение (а) и таблица истинности (б) дешифратора высокого уровня “из 3 в 8”

вход. Если на Е подана 1, то реализуется ТИ на рис. 3.3, б, если 0 – на всех выходах ДС нули. Пунктиром в таблице истинности на рис. 3.3, б выделена ТИ дешифратора “из 2 в 4”.

Структурные формулы выходных функций ДС “из 3 в 8” запишем непосредственно из ТИ в виде:

$$\begin{aligned}
 Y_0 &= \bar{X}_2 \bar{X}_1 \bar{X}_0, Y_1 = \bar{X}_2 \bar{X}_1 X_0, Y_2 = \bar{X}_2 X_1 \bar{X}_0, Y_3 = \bar{X}_2 X_1 X_0, \\
 Y_4 &= X_2 \bar{X}_1 \bar{X}_0, Y_5 = X_2 \bar{X}_1 X_0, Y_6 = X_2 X_1 \bar{X}_0, Y_7 = X_2 X_1 X_0.
 \end{aligned} \quad (3.5)$$

Видно, что этот ДС реализуется на основе 3-х элементов НЕ и восьми элементов И, как это показано на рис. 3.4. У нестробируемых ДС линия Е отсутствует и вместо четырехходовых элементов И используются трехходовые.

Этот же ДС может быть реализован и на базе логических элементов ИЛИ- НЕ после перехода к следующим формулам выходных функций:

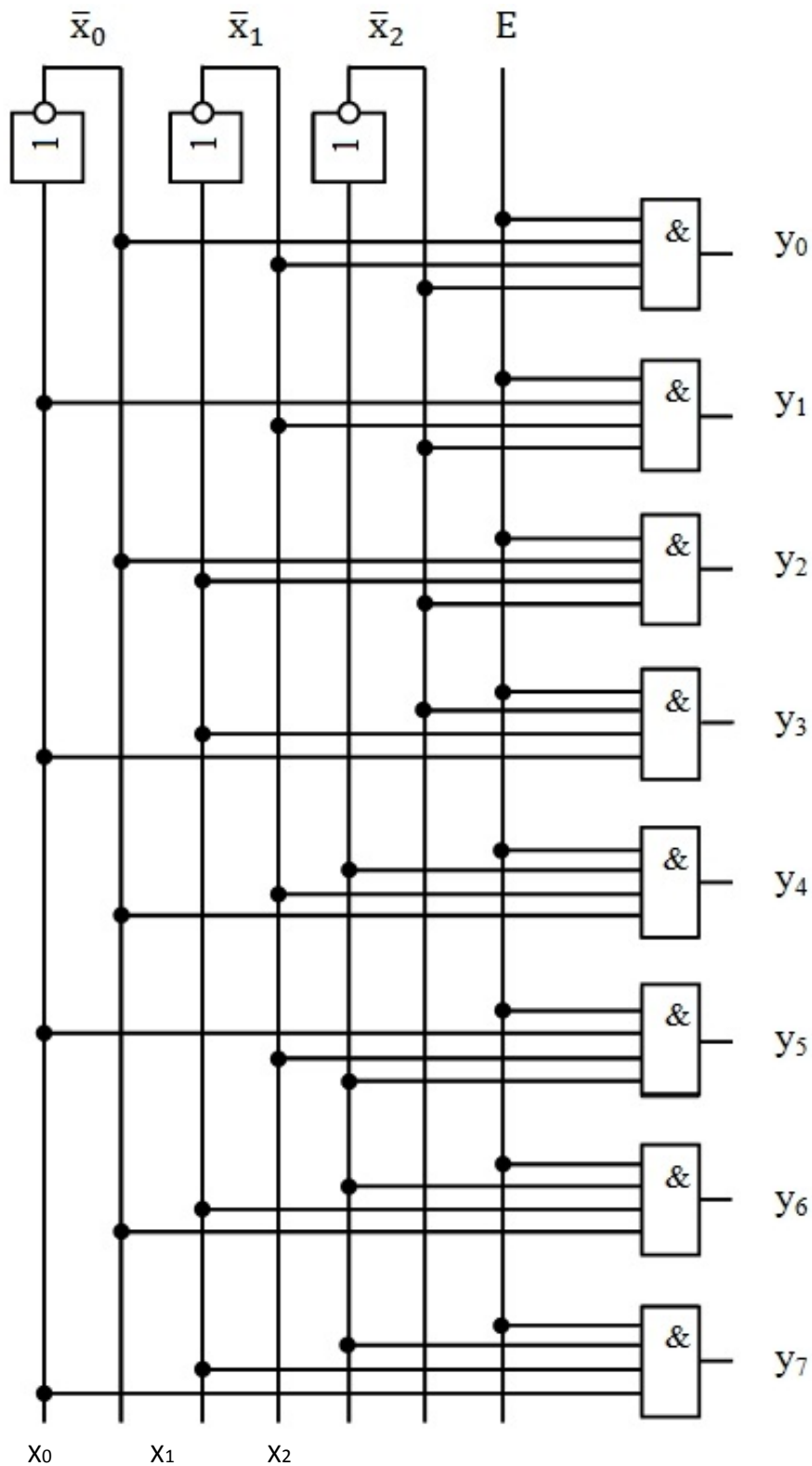


Рис. 3.4. Структурная схема стробируемого дешифратора “из 3 в 8”, построенная на основе логических элементов НЕ и И и реализующая структурные формулы (3.5)

$$y_0 = \overline{x_2 + x_1 + x_0}, y_1 = \overline{x_2 + x_1 + \bar{x}_0}, y_2 = \overline{x_2 + \bar{x}_1 + x_0}, y_3 = \overline{x_2 + \bar{x}_1 + \bar{x}_0},$$

$$y_4 = \overline{\bar{x}_2 + x_1 + x_0}, y_5 = \overline{\bar{x}_2 + x_1 + \bar{x}_0}, y_6 = \overline{\bar{x}_2 + \bar{x}_1 + x_0}, y_7 = \overline{\bar{x}_2 + \bar{x}_1 + \bar{x}_0}$$

(3.6)

При переходе от (3.5) к (3.6), т. е. переходе к базису ИЛИ-НЕ, над каждой из восьми функций ставилось две инверсии, одна из которых раскрывалась по теории де Моргана (2.2). Видно что структурная схема ДС “из 3 в 8” будет подобна приведенной на рис. 3.4, но состоять только из логических элементов ИЛИ-НЕ, что является её преимуществом. Элементы НЕ в этой схеме заменяются элементами ИЛИ-НЕ, как это показано на рис. 3.5, где

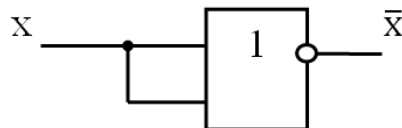


Рис. 3.5. Схема преобразования логического элемента 2 ИЛИ-НЕ в инвертор

два входа элемента объединены и на них подана одна и та же переменная x . Видно, что на выходе элемента функция

$$y = \overline{x + x} = \bar{x}$$

так как, согласно таблице 2.1, $x + x = x$.

Этот же ДС может быть реализован и на основе логических И-НЕ после перехода в выражениях (3.5) к базису И-НЕ. Однако, эта структурная схема будет содержать на восемь элементов (инверторов из И-НЕ) больше, нежели в структурных схемах на рис. 3.4 и на базе элементов ИЛИ-НЕ.

Мультиплексор (MS), условное графическое обозначение и таблица истинности которого приведена на рис. 3.6, содержит две группы входов – информационную D_0-D_7 и управляющую x_0-x_2 , а также один выход y . На этот единственный выход MS поступает сигнал с того из информационных входов, адресный код которого установлен на входах управляющей

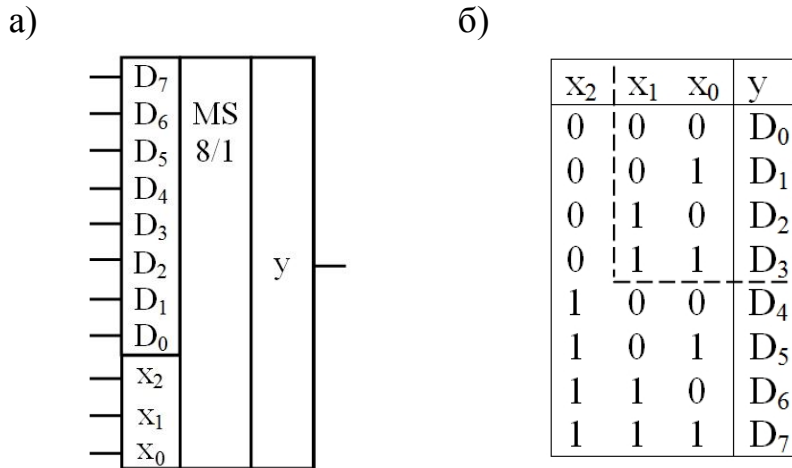


Рис. 3.6. Условное графическое обозначение (а) и таблица истинности (б) мультиплексора “из 8 в 1”

группы. Так, например, если на входы управляющей группы поданы единицы (111), т.е. установлен адрес информационного входа D₇, то на выход мультиплексора поступает сигнал (0 или 1), поданный на этот информационный вход. Пунктиром на рис. 3.6, б выделена таблица истинности MS “из 4 в 1”.

Структурную формулу выходной функции MS “из 8 в 1” запишем непосредственно из ТИ в виде:

$$y = \bar{x}_2 \bar{x}_1 \bar{x}_0 D_0 + \bar{x}_2 \bar{x}_1 x_0 D_1 + \bar{x}_2 x_1 \bar{x}_0 D_2 + \bar{x}_2 x_1 x_0 D_3 + x_2 \bar{x}_1 \bar{x}_0 D_4 + x_2 \bar{x}_1 x_0 D_5 + x_2 x_1 \bar{x}_0 D_6 + x_2 x_1 x_0 D_7$$

(3.7)

Видно, что структурная схема, реализующая выходную функцию мультиплексора (3.7), содержит 12 логических элементов: 3 инвертора НЕ, 8 элементов 4И и логический элемент 8ИЛИ.

Эту же функцию можно реализовать и на основе элементов И-НЕ после перехода в выражении (3.7) к базису И-НЕ. При этом выражение выходной функции мультиплексора “из 8 в 1” принимает вид:

$$y = \overline{\bar{x}_2 \bar{x}_1 \bar{x}_0 D_0 \cdot \bar{x}_2 \bar{x}_1 x_0 D_1 \cdot \bar{x}_2 x_1 \bar{x}_0 D_2 \cdot \bar{x}_2 x_1 x_0 D_3 \cdot x_2 \bar{x}_1 \bar{x}_0 D_4 \cdot x_2 \bar{x}_1 x_0 D_5 \cdot x_2 x_1 \bar{x}_0 D_6 \cdot x_2 x_1 x_0 D_7}.$$

(3.8)

На рис. 3.7 приведена структурная схема, реализующая выходную функцию мультиплексора “из 8 в 1” (3.8) и состоящая из 12-ти логических элементов И-НЕ: 3-х инверторов из ЛЭ 2И-НЕ, 8-ми элементов 4И-НЕ и логического элемента 8И-НЕ. Любой MS может содержать стробирующий вход E, как в стробируемом дешифраторе на рис. 3.3,а и 3.4. В этом случае в структурной схеме MS на рис. 3.7 добавляется линия E, а все 4-х

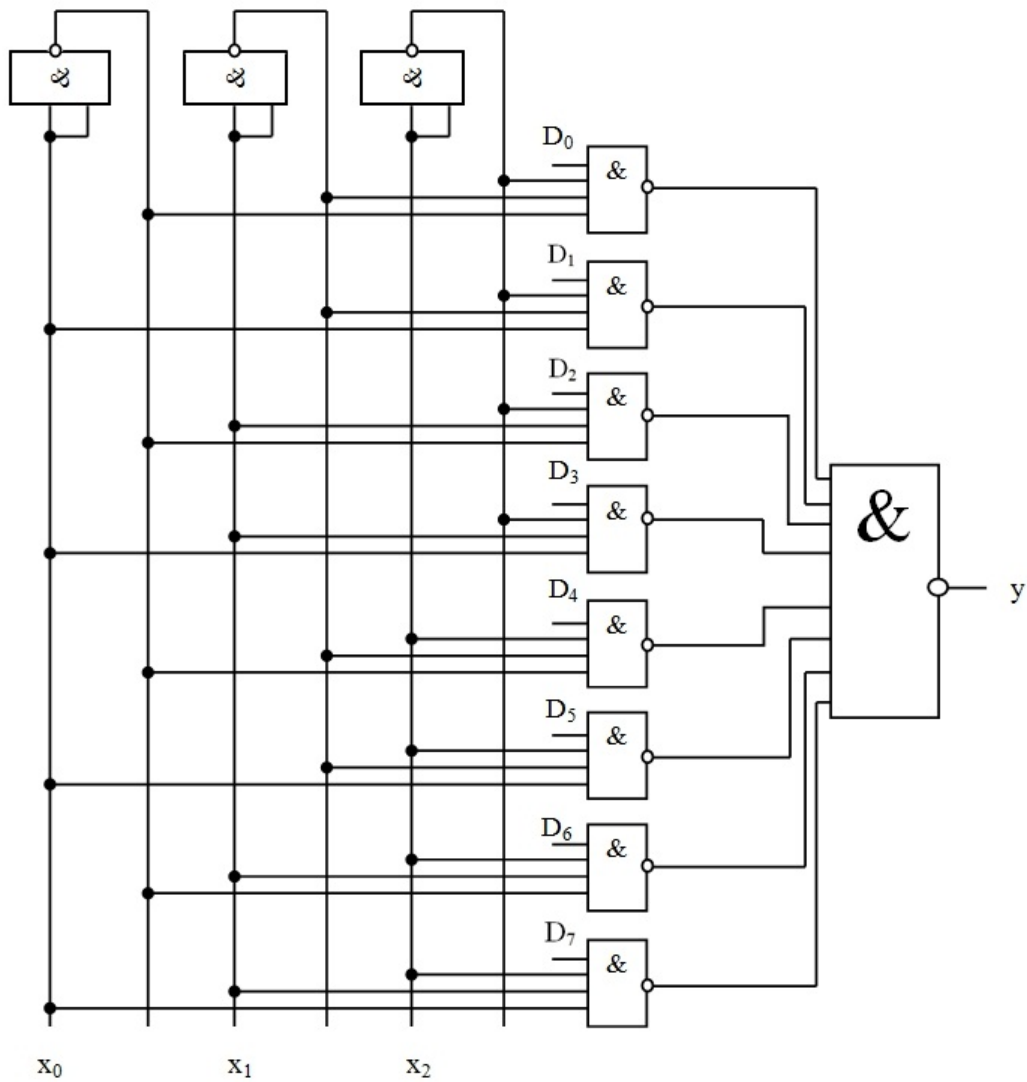


Рис. 3.7. Структурная схема мультиплексора “из 8 в 1”, построенная на основе элементов И-НЕ и реализующая формулу (3.8)

входные ЛЭ И-НЕ заменяются на 5-входовые.

Увеличение числа информационных входов MS реализуется посредством их пирамидального каскадирования. Так, для реализации MS “из 16 в 1” достаточно соединить соответствующим образом 5MS “из 4 в 1”.

Демультимплексор (DMS) восстанавливает мультиплексированную информацию. Условное графическое обозначение и таблица истинности DMS “из 1 в 4” приведены на рис. 3.8, откуда видно, что DMS содержит

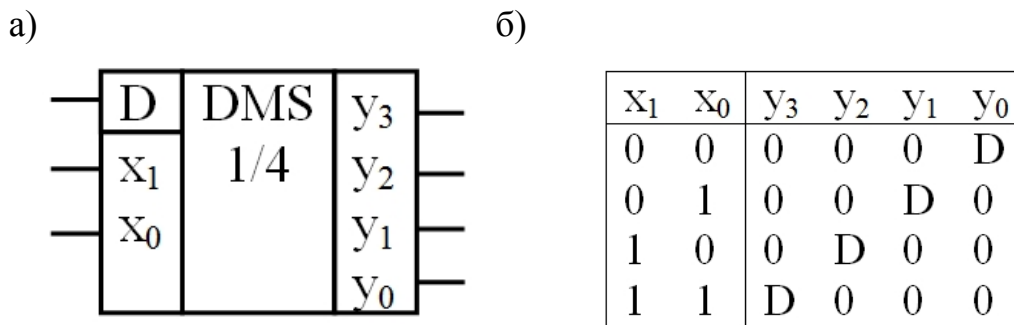


Рис. 3.8 Условное графическое обозначение (а) и таблица истинности (б) демультимплексора “из 1 в 4”

один информационный вход D, два управляющих входа x_1 и x_0 и четыре выхода $y_0 - y_3$. Сигнал, поданный на вход D, поступает на тот из выходов, адресный код которого установлен на управляющих входах. Так, например, если на входы D, x_1 и x_0 поданы единицы, то управляющими входами адресован выход y_3 , на который и поступает единица с информационного входа. На остальных выходах DMS, согласно его ТИ, нули.

Структурные формулы выходных функций DMS “из 1 в 4” запишем непосредственно из ТИ в виде:

$$y_0 = \bar{x}_1 \bar{x}_0 D, y_1 = \bar{x}_1 x_0 D, y_2 = x_1 \bar{x}_0 D, y_3 = x_1 x_0 D \quad (3.9)$$

Видно, что этот DMS реализуется на основе 2-х элементов НЕ и четырех элементов 3И, как это показано на рис. 3.9:

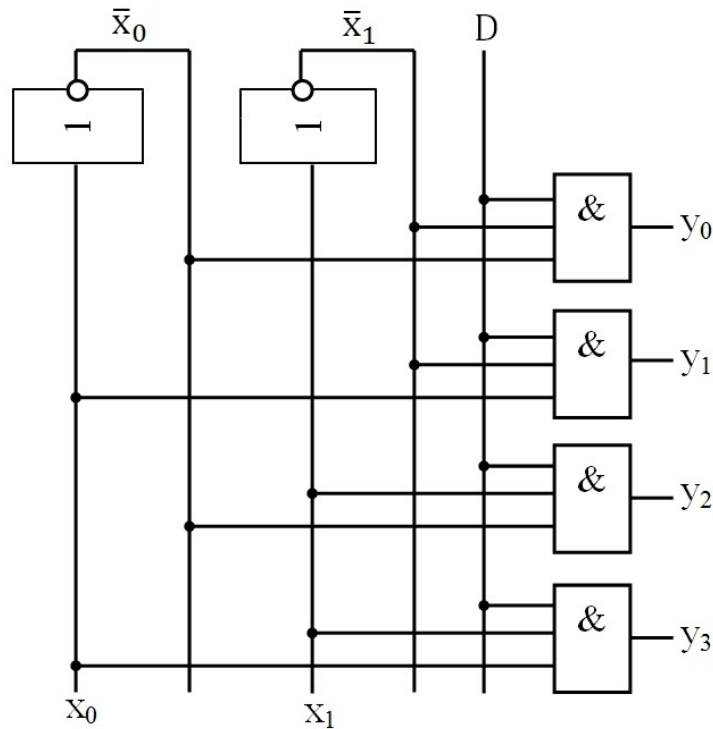


Рис. 3.9. Структурная схема демультиплексора “из 1 в 4”, построенная на основе логических элементов НЕ и И и реализующая формулы (3.9)

Этот же DMS может быть реализован на базе логических элементов ИЛИ-НЕ после перехода в (3.9) к базису ИЛИ-НЕ:

$$\overline{y_0} = \overline{x_1 + x_0 + \overline{D}}, \overline{y_1} = \overline{x_1 + \overline{x_0} + \overline{D}}, \overline{y_2} = \overline{\overline{x_1} + x_0 + \overline{D}}, \overline{y_3} = \overline{\overline{x_1} + \overline{x_0} + \overline{D}}. \quad (3.10)$$

Видно, что в этом случае требуется на один элемент больше, чем в схеме на рис. 3.9, т.к. необходимо еще дополнительно инвертировать переменную D.

Этот же DMS можно реализовать и на базе логических элементов И-НЕ после перехода в (3.9) к базису И-НЕ. Но в этом случае требуется на четыре инвертора больше, чем в схеме на рис. 3.9.

Увеличение числа выходов DMS реализуется посредством их пирамидального каскадирования. Так, для реализации DMS “из 1 в 16” достаточно соединить соответствующим образом 5DMS “из 1 в 4”.

Путем последовательного соединения MS и DMS реализуют различные схемы коммутаторов. Коммутатор, показанный на рис. 3.10, соединяет любой из источников I_i с любым из приемников Π_i . Адрес

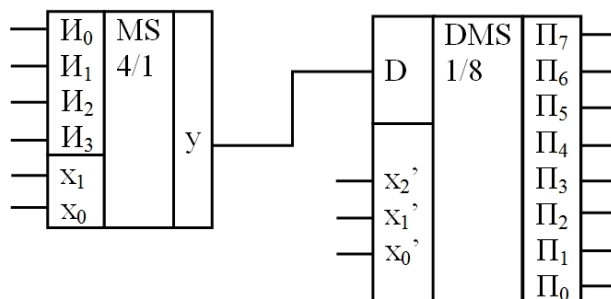


Рис. 3.10. Коммутатор соединяющий любой из источников I_i с любым из источников Π_i

источника задается управляющими входами x_1 и x_0 , а адрес приемника группой входов $x_0'-x_2'$. Так, например, при $x_1=0, x_0=0$ и $x_2'=1, x_1'=1, x_0'=1$, приемник Π_7 соединен с источником I_0 . Для одновременной передачи многоразрядных чисел используют параллельное соединение таких пар MS и DMS.

Порядок выполнения работы

1. Исходя из минимального числа логических элементов, разработать структурные схемы следующих типовых КЦС:

- а) шифратора из 4 в 2,
- б) дешифратора из 2 в 4,
- в) мультиплексора из 4 в 1,
- г) демультиплексора из 1 в 4.

Задание должно быть выполнено дома на бумажном носителе и содержать по каждому из его пунктов:

- а) условное обозначение и таблицу истинности,
- б) алгебраические выражения функций, выполняемых КЦС,
- в) разработанную структурную схему.

При выполнении задания целесообразно ориентироваться на данные, приведенные в разделе “Основные положения” этой лабораторной работы.

2. Дать для проверки преподавателю задание, выполненное на бумажном носителе.

3. После проверки задания и устранения возможных ошибок, включить компьютер и монитор.

4. Открыть файл C12_02 с формирователем двоичных слов и закодировать его, если необходимо, так же, как и в предыдущих работах.

5. Собрать схему по п. 1,а задания, включить её и проверить схему на функционирование в соответствии с ТИ, последовательно нажимая на Step ФДС. В случае несовпадения полученных результатов с данными таблицы, найти и устранить ошибки в собранной схеме. Выключить схему и очистить её от логических элементов и соединений.

6. Собрать схему по п. 1,б задания и далее, как в п. 5.

7. Собрать схему по п. 1,в задания и далее, как в п. 5.

8. Собрать схему по п. 1,г задания и далее, как в п. 5.

9. Закрыть окно с этой схемой, ответив “Нет” на вопрос компьютера. Закрыть второе окно и выключить компьютер и монитор.

Содержание отчета

1. Графические условные обозначения, таблицы истинности, алгебраические выражения выполняемых функций и структурные схемы исследованных КЦС.

2. Схемы экспериментальной проверки шифратора, дешифратора, мультиплексора и демультиплексора по п. п. 1,а; 1,б; 1,в и 1,г.

3. Словесная сравнительная оценка результатов предварительного моделирования типовых КЦС и экспериментальных данных.

4 Выводы.

Лабораторная работа № 4

Сумматоры и цифровые компараторы

Цель работы: изучение особенностей функционирования сумматоров и цифровых компараторов, а также, их синтез и компьютерная реализация.

Основные положения. Сумматор по модулю 2 (M_2) – это КЦС с m - входами и одним выходом, на котором 1 появляется всякий раз, когда в наборе входных сигналов содержится нечетное число единиц. Поэтому M_2

ещё называют схемой проверки на четность. В частном случае, при $m=2$, M_2 выполняет функцию логического элемента “Исключающее ИЛИ”

$$y = x_1 \bar{x}_0 + \bar{x}_1 x_0 = x_1 \oplus x_0. \quad (4.1)$$

Условное обозначение двухвходового сумматора по модулю 2 и его реализация логическими элементами показаны на рис. 4.1. Видно, что наиболее просто M_2 реализуется логическим элементом Исключающее

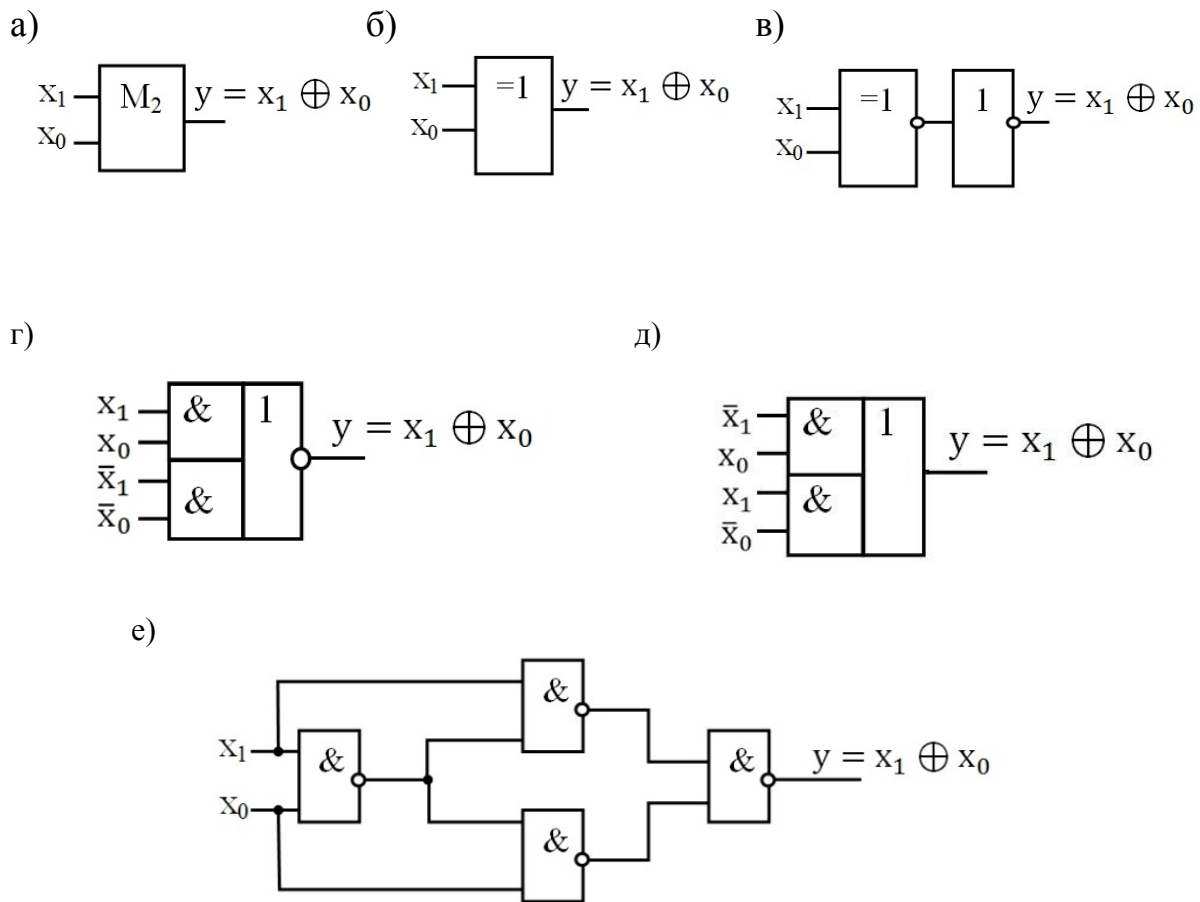


Рис. 4.1. Условное обозначение сумматора по модулю 2(а), его реализация на основе логических элементов: Исключающее ИЛИ (б), Исключающее ИЛИ-НЕ (в), 2И-2И-ИЛИ-НЕ (г), 2И-2И-ИЛИ (д) и 2И-НЕ (е)

ИЛИ, т.к. на входы схем 4.1,г и 4.1,д нужно поставить ещё по два инвертора.

Сумматоры (SM). SM – один из основных узлов арифметико-логического устройства микропроцессора. Выполняет операцию арифметического сложения двух двоичных чисел. SM используется так же

в устройствах для вычитания, умножения, деления, преобразования чисел в дополнительный код, код с “избытком 3” и т.д.

Полусумматор (HS), условное обозначение и ТИ которого приведены на рис. 4.2, имеет два входа и два выхода. Выполняет операцию арифметического сложения двух одноразрядных чисел x_2 и x_1 по правилам

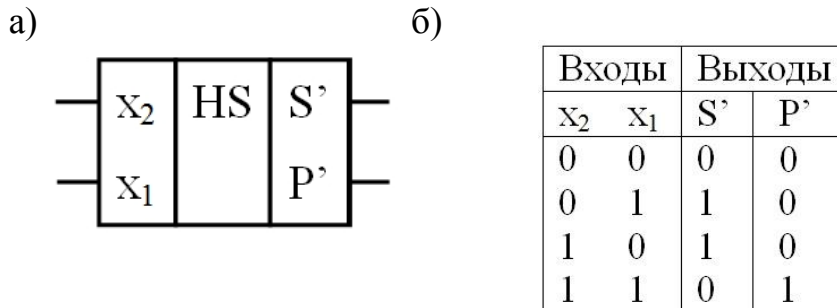


Рис. 4.2. Условное обозначение (а) и таблица истинности (б) полусумматора

двоичной арифметики, отраженным в таблице истинности. Здесь S' – выход суммы, P' – выход переноса в старший разряд. При заполнении ТИ было учтено, что согласно правилам двоичной арифметики, $1+1=10$. При этом единица переносится в старший разряд P' , а на выходе суммы остается 0. Из ТИ видно, что на выходе суммы S' реализуется функция Иключающее ИЛИ, т.е. формируется результат сложения по модулю 2

$$S' = x_2 \bar{x}_1 + \bar{x}_2 x_1 = x_2 \oplus x_1, \quad (4.1)$$

а на выходе переноса в старший разряд P' – логическая функция И

$$P' = x_2 x_1. \quad (4.2)$$

Таким образом, для реализации полусумматора, структурная схема которого приведена на рис. 4.3, необходимы сумматор по модулю 2 и логический элемент И.

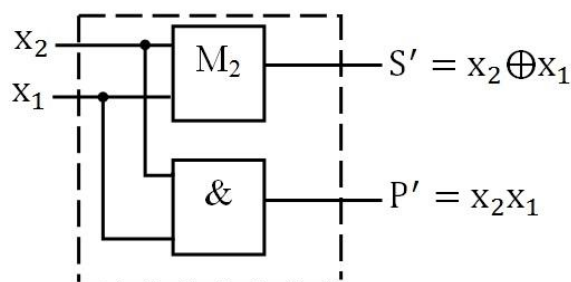


Рис. 4.3. Структурная схема полусумматора

Полный одноразрядный сумматор (SM), условное обозначение и ТИ которого приведены на рис. 4.4, имеет три входа и два выхода. Выполняет

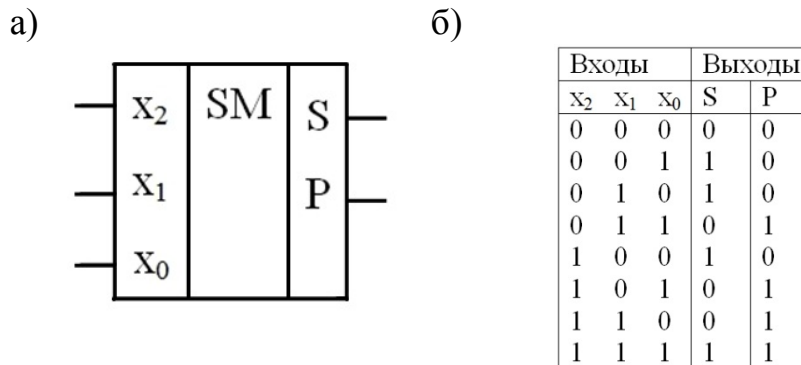


Рис. 4.4. Условное обозначение (а) и таблица истинности (б) полного одноразрядного сумматора

операцию арифметического сложения двух одноразрядных чисел x_2 и x_1 и цифры переноса из младшего разряда x_0 , как это отражено в таблице истинности. Непосредственно из ТИ

$$S = \bar{x}_2 \bar{x}_1 x_0 + \bar{x}_2 x_1 \bar{x}_0 + x_2 \bar{x}_1 \bar{x}_0 + x_2 x_1 x_0 = \bar{x}_2 (x_1 \oplus x_0) + x_2 (x_1 \oplus x_0) = x_2 \oplus x_1 \oplus x_0, \quad (4.3)$$

$$P = \bar{x}_2 x_1 x_0 + x_2 \bar{x}_1 x_0 + x_2 x_1 \bar{x}_0 + x_2 x_1 x_0 = (x_2 \oplus x_1) x_0 + x_2 x_1 (\bar{x}_0 + x_0) = (x_2 \oplus x_1) x_0 + x_2 x_1. \quad (4.4)$$

видно, что функции S и P можно реализовать схемой на основе двух полусумматоров, как это показано на рис. 4.5, где элемент ИЛИ

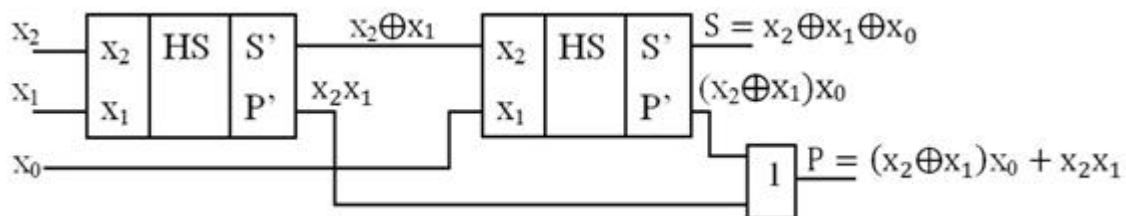


Рис. 4.5. Схема полного одноразрядного сумматора

обусловлен необходимостью логического сложения переменных в выражении функции переноса P .

Многоразрядные сумматоры выполняют операцию арифметического сложения двух m -разрядных двоичных чисел ($m \geq 2$). Различают SM с последовательным переносом цифры переноса из младшего разряда и с параллельным переносом.

На рис.4.6 показан m -разрядный SM для сложения чисел $A_i = a_m a_{m-1} \dots a_0$ и $B_i = b_m b_{m-1} \dots b_0$ с последовательным переносом цифры из младшего разряда, составленный из m полных одноразрядных сумматоров. Частный

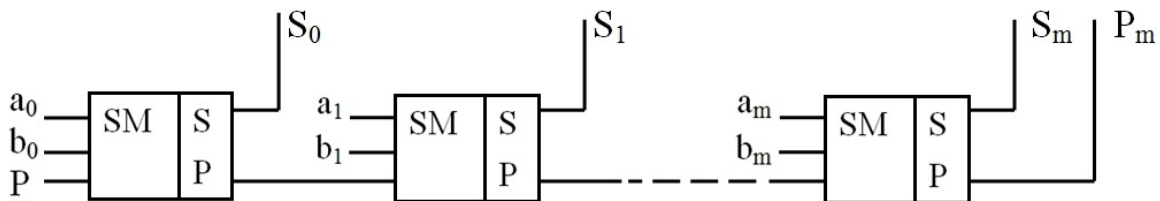


Рис. 4.6. Схема многоразрядного сумматора с последовательным переносом цифры из младшего разряда

случай многоразрядных SM , двухразрядный, и его условное обозначение приведены на рис. 4.7, где иллюстрируется процесс сложения этим SM

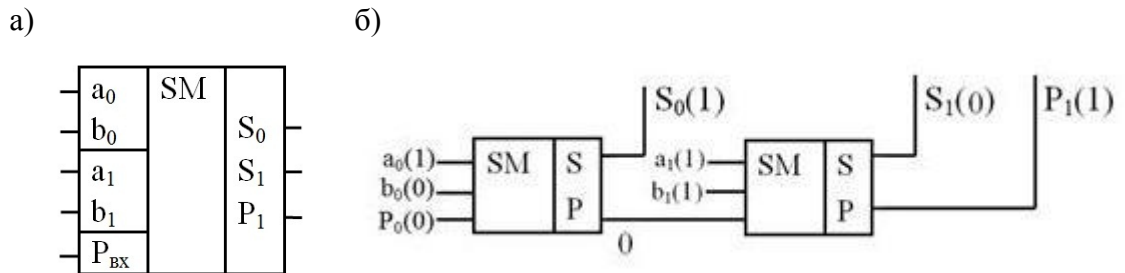


Рис. 4.7. Условное обозначение (а) и схема (б) 2-х разрядного сумматора

пары двухразрядных двоичных чисел

$$A_i + B_i = a_1 a_0 + b_1 b_0 = 11 + 10 = 101.$$

Быстродействие SM с последовательным переносом относительно невелико, т.к. определяется временем распространения сигнала переноса через всю схему.

SM с параллельным переносом более быстродействующие, т.к. имеют в своем составе схему ускоренного формирования переноса во все разряды одновременно. Однако эти SM значительно сложнее по построению.

Цифровые компараторы (ЦК) предназначены для сравнения двух многоразрядных двоичных чисел

$$A_i = a_m a_{m-1} \dots a_0 \text{ и } B_i = b_m b_{m-1} \dots b_0 .$$

В простейшем случае, требуется лишь установить факт равенства чисел A_i и B_i . Например, при сравнении неизменного числа A_i с числом B_i , изменяющим своё значение на 1 в каждый очередной такт. Для определения момента, когда $A_i = B_i$, производится поразрядное суммирование по модулю 2, как это показано на рис. 4.8. Если разрядность сравниваемых чисел m , то ЦК состоит из m сумматоров по модулю 2,

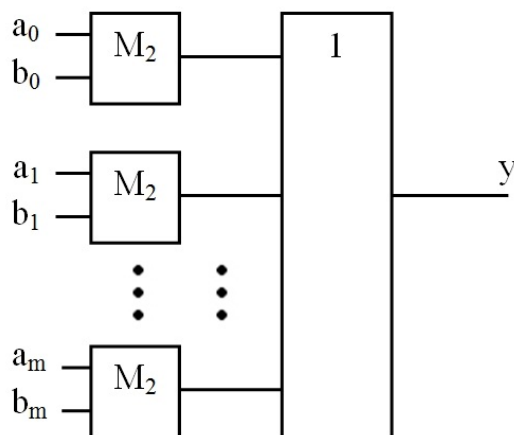


Рис. 4.8. Схема цифрового компаратора, устанавливающего факт равенства двух многоразрядных двоичных чисел

выходы которых подключены к логическому элементу ИЛИ. Сравниваемые числа равны только тогда, когда равны все одноименные разряды чисел, а именно:

$$A_i = B_i \text{ при } a_0 = b_0, a_1 = b_1, \dots, a_m = b_m. \quad (4.5)$$

При выполнении условия (4.5) на выходах всех сумматоров по модулю 2 формируются нули. Следовательно, и на общем выходе цифрового

компаратора $y=0$. Если же сравниваемые числа отличаются хотя бы в одном из разрядов, то на выходе соответствующего сумматора по модулю 2 формируется единица. При этом $y=1$.

От таких устройств, как рассмотренный ЦК, обычно требуется высокое быстродействие. Выходной сигнал должен появиться и произвести нужное действие в том же такте, т.е. до очередного изменения числа B_i .

Порядок выполнения работы

1. Исходя из минимального числа логических элементов, разработать структурные схемы следующих КЦС:
 - а) полусумматора,
 - б) полного одноразрядного сумматора,
 - в) двухразрядного сумматора,
 - г) цифрового компаратора, устанавливающего факт равенства 2-х двухразрядных двоичных чисел.

Задание должно быть выполнено дома на бумажном носителе и содержать по каждому из его пунктов:

- а) условное обозначение и таблицу истинности,
- б) алгебраические выражения функций, выполняемых КЦС;
- в) разработанную структурную схему.

При выполнении задания целесообразно ориентироваться на данные, приведенные в разделе “Основные положения” этой лабораторной работы.

2. Дать для проверки преподавателю задание, выполненное на бумажном носителе.

3. После проверки задания и устранения возможных ошибок, включить компьютер и монитор.

4. Открыть файл C12_02 с формирователем двоичных слов и закодировать его, если необходимо, так же, как и в предыдущих работах.

5. Последовательно подключая к ФДС схемы из ЛЭ, приведенные на рис. 4.1,б-е, проверить их на соответствие выполнения функции суммирования по модулю 2.

6. Собрать схему по п. 1,а задания, включить её и проверить на функционирование в соответствии с ТИ, последовательно нажимая на Step. В случае несовпадения полученных результатов с данными таблицы, найти и устранить ошибки в собранной схеме. Выключить схему и очистить её от логических элементов и соединений.

7. Собрать схему по п. 1,б задания и далее, как в п. 6.
8. Собрать схему по п. 1,в задания и далее, как в п. 6.
9. Собрать схему по п. 1,г задания и далее, как в п. 6.
10. Закрывать окно с этой схемой, ответив “Нет” на вопрос компьютера. Закрывать второе окно и выключить компьютер и монитор.

Содержание отчета

1. Графические условные обозначения, таблицы истинности, алгебраические выражения выполняемых функций и структурные схемы исследованных КЦС.
2. Развернутые схемы возможных вариантов сумматоров по модулю 2, приведенных на рис. 4.1.
3. Схемы экспериментальной проверки структурных схем по п.п. 1,а, 1,б, 1,в и 1,г.
4. Словесная сравнительная оценка результатов предварительного моделирования КЦС (сумматоров и цифровых компараторов) и экспериментальных данных.
5. Выводы.

Лабораторная работа № 5 Триггеры

Цель работы: ознакомиться с наиболее распространенными видами триггеров, изучить особенности их функционирования и способы преобразования триггеров друг в друга.

Основные положения. Триггеры – простейшие элементы памяти цифровых устройств. Обладают 2-мя устойчивыми состояниями – на выходе 0 или 1. Относятся к последовательностным цифровым схемам (ПЦС), т.к. их состояние зависит не только от комбинации входных сигналов в данный конкретный момент времени, но и от состояния, предшествующего этому моменту. Различают:

- 1) триггеры с отдельной установкой 0 или 1 – RS-триггеры,
- 2) триггеры задержки – D-триггеры,
- 3) триггеры со счетным входом – Т-триггеры,
- 4) универсальные JK-триггеры.

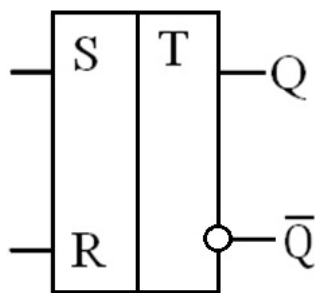
По способу записи информации различают асинхронные триггеры и синхронные (тактируемые). В асинхронных триггерах отсутствует вход

для подачи тактовых импульсов. В синхронных этот вход есть и их разделяют на триггеры со статическим управлением и триггеры с динамическим управлением. Последние реагируют на информационные сигналы в момент перепада тактового импульса от 0 к 1 (прямой С-вход) или от 1 к 0 (инверсный С-вход).

По построению различают одноступенчатые триггеры и двухступенчатые. Одноступенчатые триггеры с прямыми С- входами могут изменять свое состояние только в момент перепада тактового импульса от 0 к 1, а 2-х ступенчатые – от 1 к 0. Триггеры с инверсными С- входами – наоборот. В дальнейшем будем рассматривать только триггеры с прямым С- входом.

Асинхронный RS-триггер используется как запоминающая ячейка (элемент памяти с объемом в один бит) и как составная часть других триггеров. Его условное обозначение и таблица состояний (ТС) приведены на рис. 5.1. Имеет два информационных входа S и R и два выхода – прямой Q и инверсный $\bar{Q}$. Вход S используется для установки на прямом выходе

а)



б)

S^t	R^t	Q^t	Q^{t+1}	Режим
0	0	0	0	Хранения
0	0	1	1	—//—
0	1	0	0	Установка 0
0	1	1	0	—//—
1	0	0	1	Установка 1
1	0	1	1	—//—
1	1	0		Запрещено
1	1	1		—//—

Рис. 5.1. Структурная схема (а) и таблица состояний (б) асинхронного RS-триггера

триггера 1 (на инверсном – 0), а вход R – для установки на прямом выходе триггера 0 (на инверсном 1). В таблице состояний, Q^t – текущее состояние триггера, S^t – сигнал установки триггера, R^t – сигнал сброса, Q^{t+1} – его последующее состояние. Из ТС видно, что независимо от Q^t триггер переходит в состояние 1 при подаче 1 на вход S и в состояние 0 при подаче 1 на вход R. При 0 на обоих входах – не изменяет своего состояния. Одновременная подача 1 на входы S и R запрещена, т.к. приводит к неопределенному состоянию триггера после их снятия.

Условные обозначения синхронных RS-триггеров со статическим управлением приведены на рис. 5.2. Имеют два информационных входа S и R, вход C (EN) для подачи тактовых импульсов, два установочных входа SET и RESET и два выхода – прямой Q и инверсный $\bar{Q}$. Входы SET и RESET предназначены для установки триггера в исходное состояние: при

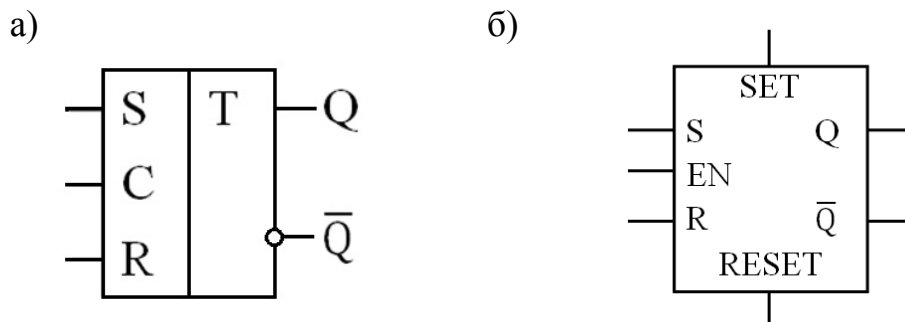


Рис. 5.2. Синхронные RS-триггеры со статическим управлением: а) отечественное обозначение, б) международное (по версии программы Electronics Workbench)

подаче сигнала 1 на вход SET, на прямом выходе триггера устанавливается 1, а при подаче сигнала 1 на вход RESET, на прямом выходе триггера устанавливается 0. ТС этого триггера та же, что и асинхронного на рис. 5.1, б, но только при наличии сигнала 1 на C(EN) – входе. Если на этот вход подан 0, то триггер не изменяет своего состояния независимо от комбинации сигналов на информационных входах.

Разновидностью синхронных RS – триггеров является RS-триггеры с динамическим управлением, условные обозначения которых приведены на рис. 5.3. Триггер на рис. 5.3,а устанавливается в исходное состояние так

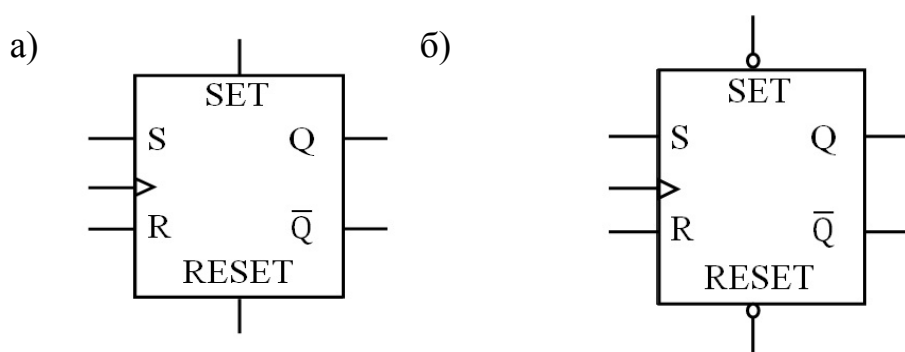


Рис.5.3. Синхронные RS-триггеры с динамическим управлением: а) с прямыми установочными входами, б) с инверсными установочными входами

же, как и RS-триггер со статическим управлением, а установка триггера на рис. 5.3,б осуществляется нулевыми уровнями сигнала: при подаче сигнала 0 на вход SET, на прямом выходе триггера устанавливается 1, а

при подаче сигнала 0 на вход RESET – на прямом выходе триггера 0. В отличие от RS-триггеров со статическим управлением, у которых тактовый сигнал может быть как постоянным, так и импульсным, эти триггеры изменяют свое состояние только в момент перепада тактового импульса от 0 до 1, (рис. 5.4). ТС этих триггеров при наличии на С - входе сигнала 1 та

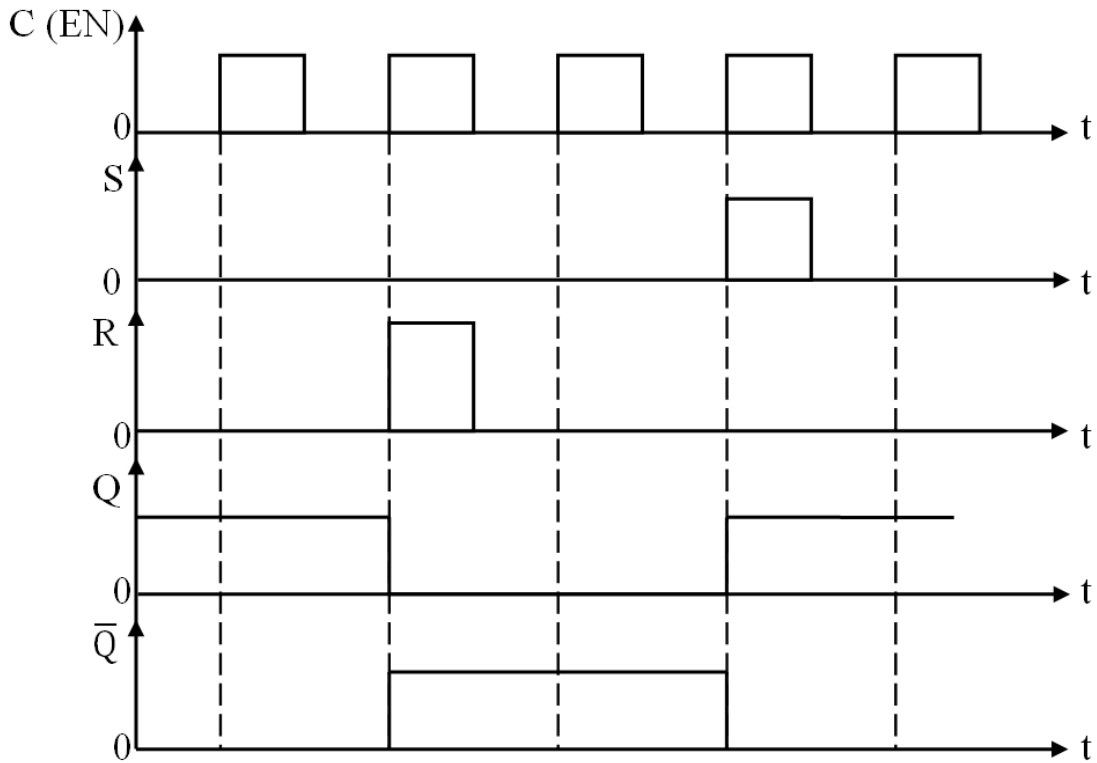


Рис. 5.4. Временные диаграммы работы RS-триггеров со статическим и с динамическим управлением, построенных по одноступенчатой схеме

же, что и у асинхронного RS-триггера.

Ту же ТС реализует и двухступенчатый RS-триггер, схема и условное обозначение которого приведены на рис. 5.5. Этот триггер имеет две ступени записи информации. При подаче тактового импульса на С - вход

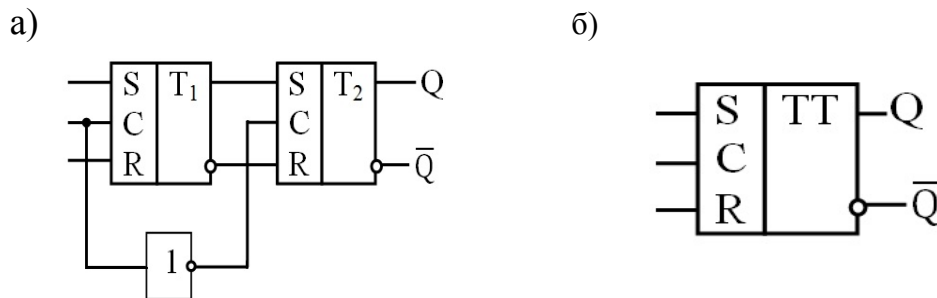


Рис. 5.5. Схема (а) и условное обозначение (б) двухступенчатого RS-триггера

первой ступени, на выходах триггера T_1 устанавливается состояние, соответствующее комбинации информационных сигналов на входах S- и R- этого триггера. Благодаря инвертору, вторая ступень блокирована от приема информации, так как на синхровходе триггера T_2 ноль. В момент окончания тактового импульса эта блокировка снимается, информация переписывается из 1-й ступени во 2-ю и появляется на выходах триггера. Таким образом, 2-х ступенчатый RS-триггер может изменять свое состояние только в момент перепада тактового импульса от 1 к 0, как это показано на рис. 5.6. Отметим, что если на синхровход одноступенчатого

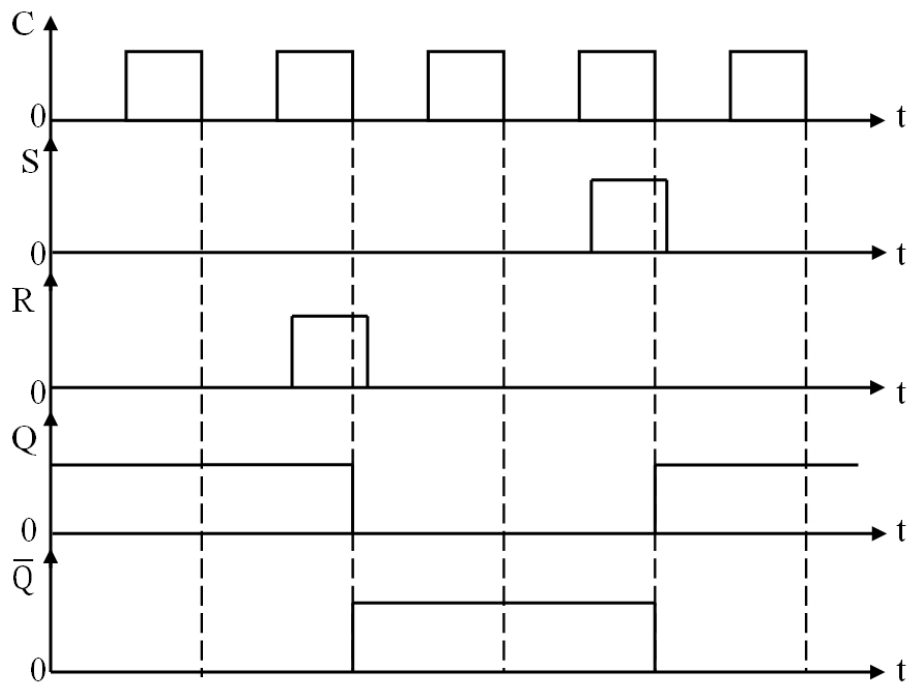


Рис. 5.6. Временные диаграммы работы двухступенчатых RS-триггеров

RS-триггера поставить инвертор (рис. 5.7), то он будет работать по

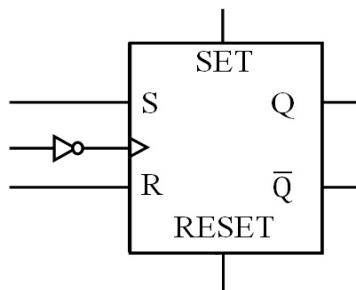


Рис. 5.7. Схема преобразования одноступенчатого RS-триггера в двухступенчатый

правилам 2-х ступенчатого. По этой же схеме можно преобразовать и любой другой тактируемый триггер.

Условные обозначения D-триггеров со статическим управлением приведены на рис. 5.8. В отличие от синхронных RS-триггеров, имеют

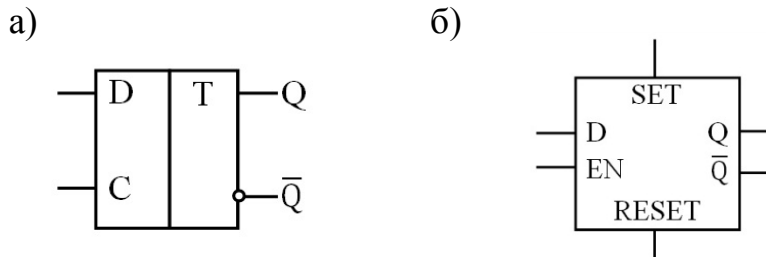


Рис. 5.8. D-триггеры со статическим управлением: а) отечественное обозначение, б) международное (по версии программы Electronics Workbench)

только один информационный вход D. С приходом тактового импульса на синхровход C (EN), на прямом выходе триггера устанавливается значение информационного сигнала, как это показано на рис. 5.9. В отсутствие тактового импульса D-триггер не изменяет своего состояния при любом

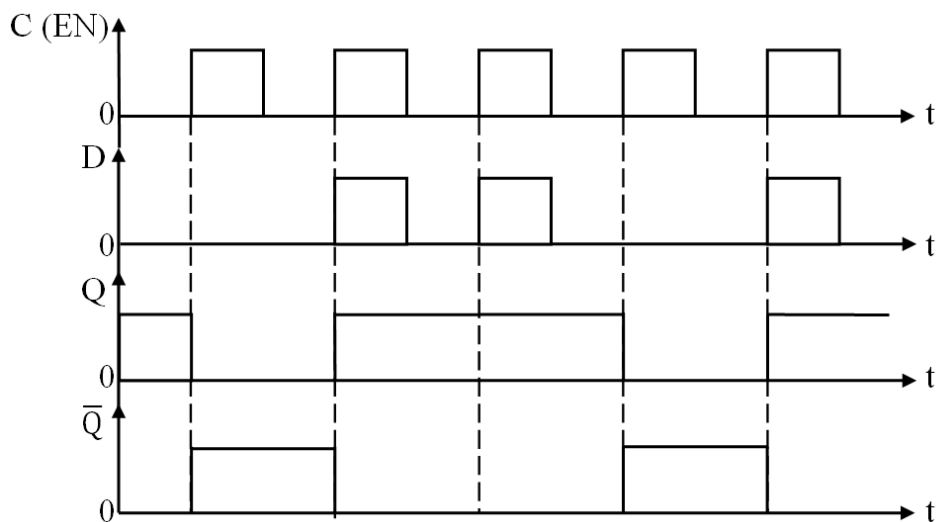


Рис. 5.9. Временные диаграммы работы D-триггеров со статическим и динамическим управлениями

значении сигнала на информационном входе.

Условные обозначения D-триггеров с динамическим управлением приведены на рис. 5.10. Работают так же, как и D-триггеры со статическим управлением (рис. 5.9), но могут изменять свое состояние только в момент

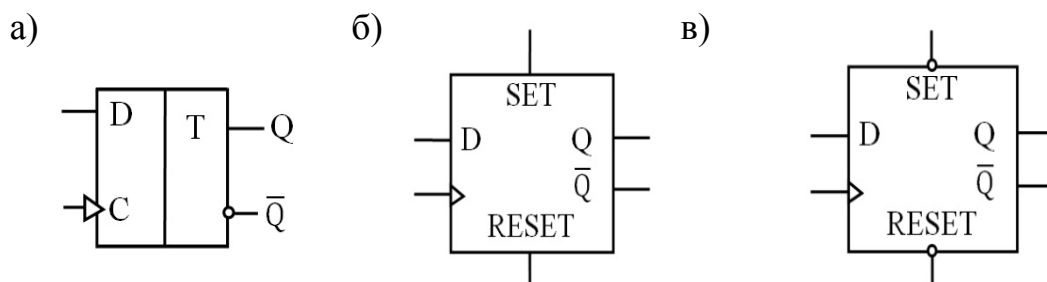


Рис. 5.10. D-триггеры с динамическим управлением: а) отечественное обозначение, б) и в) международное обозначение

перепада тактового импульса от 0 к 1.

Разновидностью D-триггеров являются DV-триггеры, имеющие дополнительный управляющий V-вход. Временные диаграммы работы этих триггеров даны на рис. 5.11. Если на V-вход подать уровень 1, то DV-

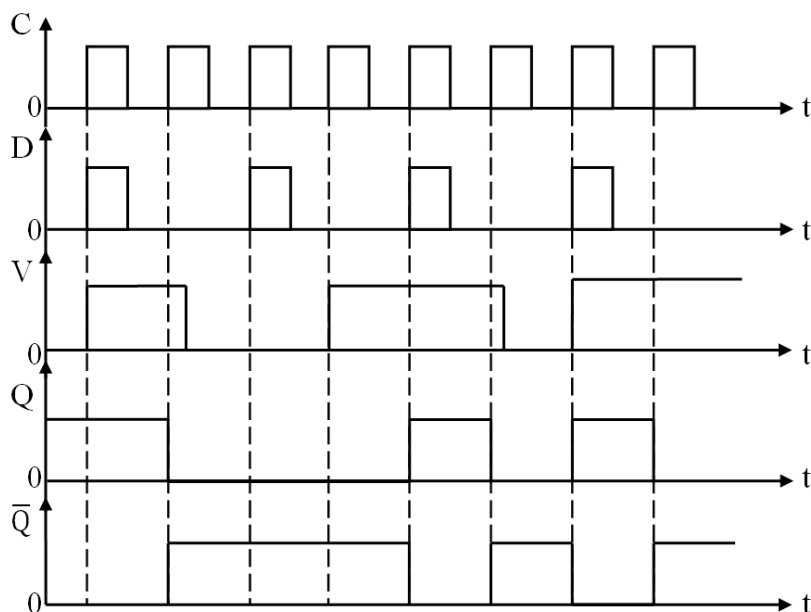


Рис. 5.11. Временные диаграммы работы DV-триггера

триггер работает по правилам D-триггера, если 0 – не изменяет своего состояния.

T-триггеры, в настоящее время, промышленностью не выпускаются. Поэтому их, как это будет показано ниже, получают схемотехническим

путем, главным образом, из JK- и D-триггеров. Условные обозначения Т-триггеров приведены на рис. 5.12. Их строят, как правило, по двухступенчатой схеме во избежание так называемых “гонок”. Временные

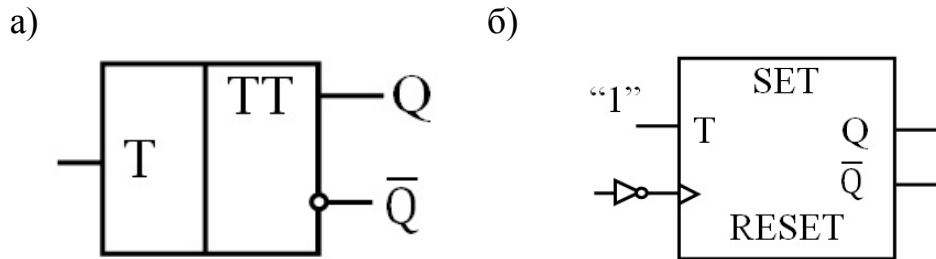


Рис. 5.12. Двухступенчатые Т-триггеры: а) отечественное обозначение, б) международное (по версии программы Electronics Workbench)

диаграммы работы этих триггеров даны на рис. 5.13, откуда видно, что с приходом каждого очередного счетного импульса триггер изменяет свое

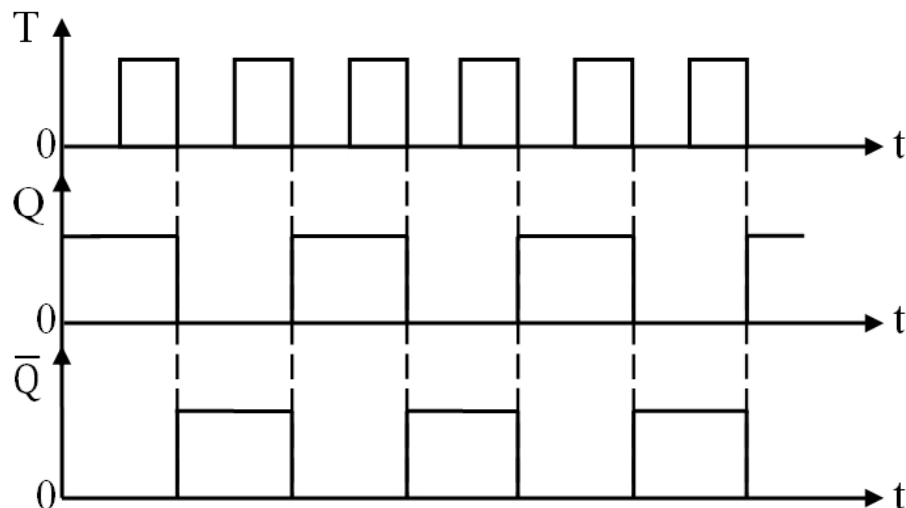


Рис. 5.13. Временные диаграммы работы двухступенчатых Т-триггеров

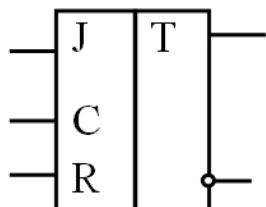
состояние на противоположное. Отметим, что в схеме Т-триггера на рис. 5.12, б на Т-вход подан уровень 1, а на динамический синхровход подаются через инвертор счетные импульсы. Этот триггер получен схемотехническим путем из JK-триггера.

Разновидностью Т-триггеров являются TV-триггеры, имеющие дополнительный управляющий V-вход. Если на V-вход подать уровень 1, то TV-триггер работает по правилам Т-триггера, если 0 – не изменяет своего состояния. Введение дополнительного управляющего V-входа

существенно расширяет функциональные возможности Т-триггера и позволяет создавать на его основе достаточно сложные последовательностные цифровые схемы.

Условные обозначения универсальных JK-триггеров со статическим управлением приведены на рис. 5.14. Имеют два информационных входа J

а)



б)

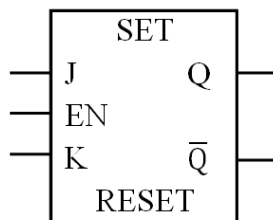
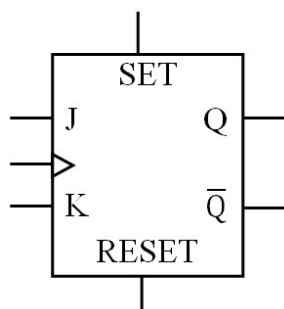


Рис. 5.14. Универсальные JK-триггеры со статическим управлением: а) отечественное обозначение, б) международное (по версии программы Electronics Workbench)

и K, вход C (EN) для подачи тактовых импульсов, два установочных входа SET и RESET и два выхода – прямой Q и инверсный $\bar{Q}$. Разновидностью этих триггеров являются JK-триггеры с динамическим управлением, условные обозначения которых приведены на рис. 5.15. В исходное

а)



б)

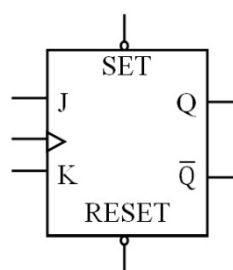


Рис. 5.15. Универсальные JK-триггеры с динамическим управлением: а) с прямыми установочными входами, б) с инверсными установочными входами

состояние JK-триггеры устанавливаются точно так же, как RS-триггеры на рис. 5.2 и 5.3. Таблица состояний универсального JK-триггера, показанная ниже, реализуется при наличии на синхровходе уровня 1. Если на этом входе тактовый импульс отсутствует, то JK-триггер не изменяет своего состояния при любых комбинациях информационных сигналов. Возможные состояния JK-триггера приведены в таблице 5.1. Видно, что

первые шесть строчек этой ТС точно такие же, как и у RS-триггера (см. рис. 5.1, б), а в последних двух строчках, когда $J=1$ и $K=1$, JK-триггер работает как Т-триггер, т.е. изменяет свое состояние на противоположное.

Таблица 5.1. возможные состояния универсальных JK-триггеров

J^t	K^t	Q^t	Q^{t+1}	Режим
0	0	0	0	Хранение —//—
0	0	1	1	
0	1	0	0	Установка 0 —//—
0	1	1	0	
1	0	0	1	Установка 1 —//—
1	0	1	1	
1	1	0	1	Как Т-триггер —//—
1	1	1	0	

В отличие от JK-триггеров со статическим управлением, у которых тактовый сигнал может быть как постоянным, так и импульсным, JK-триггеры с динамическим управлением изменяют свое состояние только в момент перепада тактового импульса от 0 к 1, как это показано на рис 5.16,

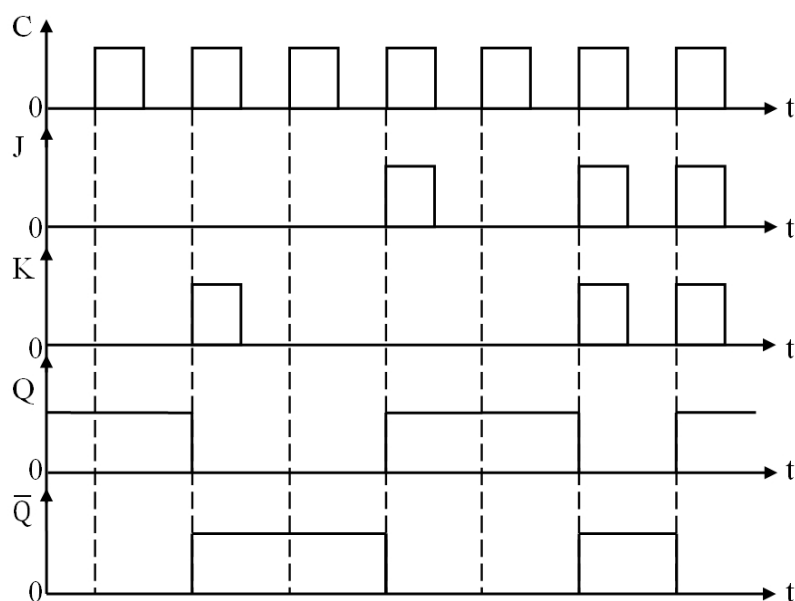


Рис. 5.16. Временные диаграммы работы одноступенчатых JK-триггеров со статическим и динамическим управлениями

где отражены и последние две строчки ТС этих триггеров.

Любой из приведенных на рис 5.14 и 5.15 JK-триггеров будет работать как 2-х ступенчатый, если на их синхровход подавать тактовый импульс через инвертор (рис 5.17). В этом случае, JK-триггер будет изменять свое состояние так же, как и на рис. 5.16, но только в момент

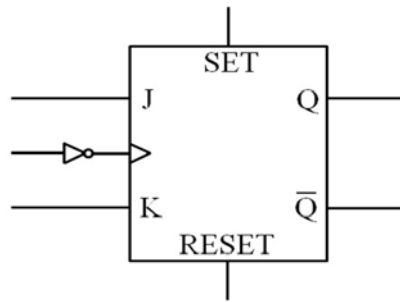


Рис. 5.17. Схема преобразования одноступенчатого JK-триггера в двухступенчатый

перепада тактового импульса от 1 к 0, как это показано на рис. 5.18. Двухступенчатые JK - триггеры используются , в частности , при

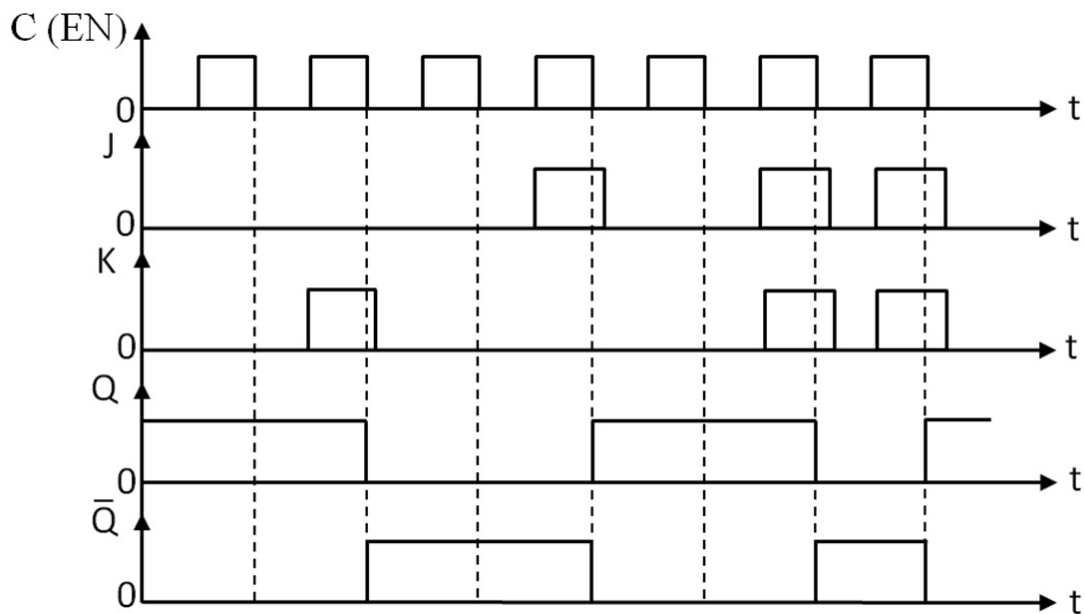


Рис. 5.18. Временные диаграммы работы двухступенчатых JK-триггеров

построении двоичных счетчиков.

JK-триггер называют универсальным, так как из него, посредством внешних соединений его выводов, можно получить любой другой триггер. Так, JK-триггер будет работать как RS-триггер, если J-вход использовать в качестве S-входа, K-вход – в качестве R-входа, а комбинацию информационных сигналов $S=1$ и $R=1$ исключить. JK-триггер будет работать как двухступенчатый T-триггер, если входы J и K объединить и подать на них уровень 1, а синхровход использовать в качестве T-входа (рис. 5.19). Совершенно очевидно, что T - триггер, показанный на

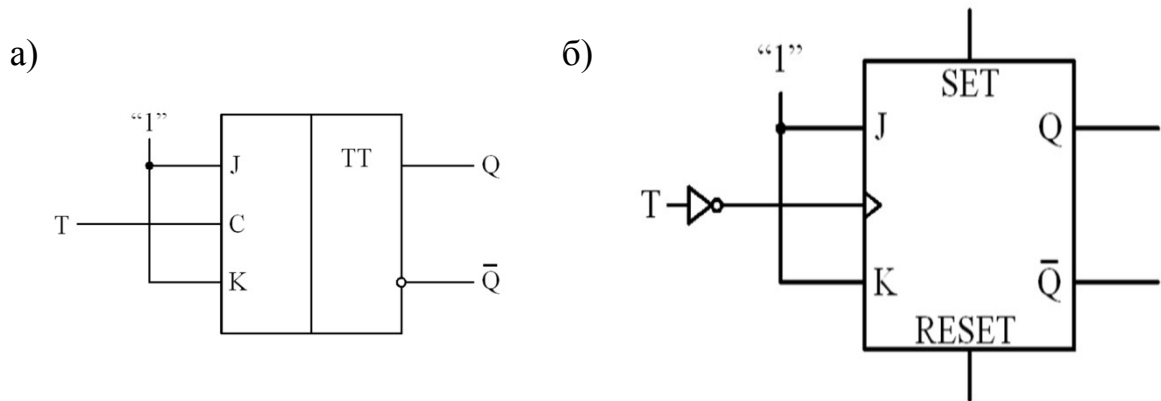


Рис. 5.19. Схемы преобразования JK-триггеров в двухступенчатый Т-триггер

рис. 5.12, б, представляет собой JK-триггер, преобразованный по схеме рис. 5.19, б. Если в схемах на рис. 5.19 на объединенные J и K входы уровень 1 не подавать, а использовать их в качестве V-входа, то эти схемы будут работать по правилам двухступенчатых TV-триггеров.

JK-триггер будет работать как двухступенчатый D-триггер, если объединенные через инвертор входы J и K использовать для подачи информационного сигнала, а синхровход – по основному назначению (рис. 5.20). Если с синхровходов схем на рис. 5.19, б и 5.20, б убрать инверторы,

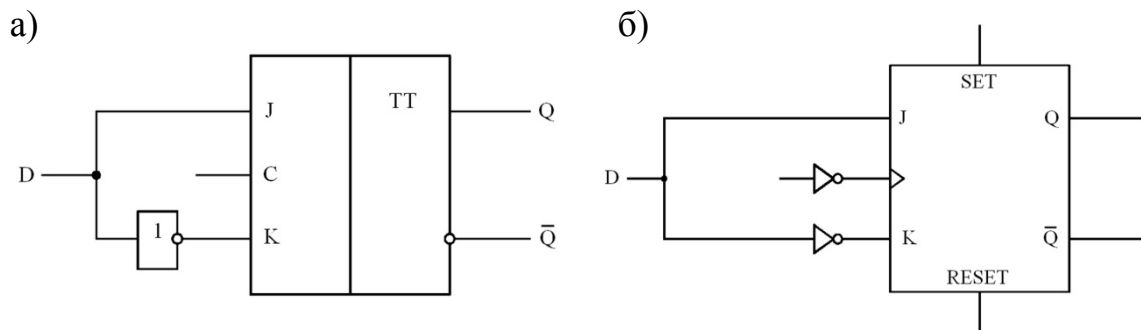


Рис. 5.20. Схема преобразования JK-триггеров в двухступенчатый D-триггер

то эти схемы будут работать по правилам одноступенчатых Т-триггеров и D-триггеров, то есть изменять своё состояние в момент перепада тактового импульса от 0 к 1.

В заключение отметим, что Т-триггер может быть получен и из D-триггера. Для этого необходимо инверсный выход D-триггера соединить с его информационным входом, а вход для подачи тактовых импульсов использовать в качестве Т-входа, как это показано на рис. 5.21. Если

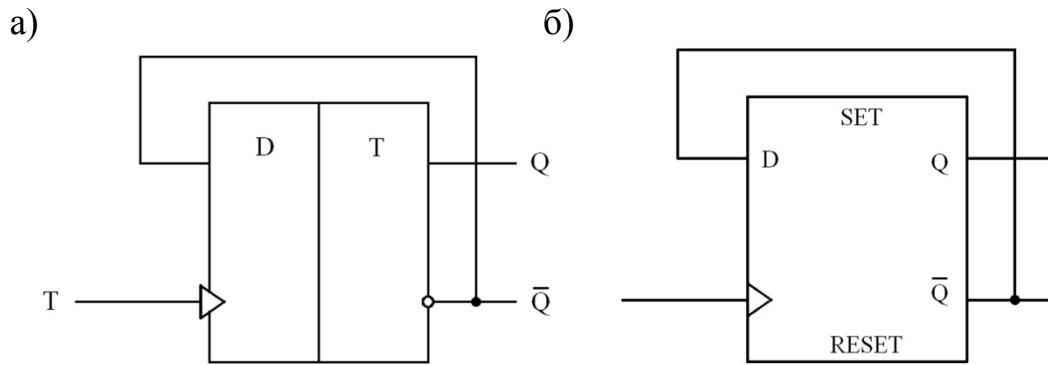


Рис. 5.21. Схемы преобразования D-триггеров в одноступенчатые Т-триггеры

синхровходы этих схем подсоединить к источнику счетных импульсов через инвертор, то полученные таким образом Т-триггеры будут изменять свое состояние в момент перепада счетного импульса от 1 к 0, т.е. работать по правилам двухступенчатого Т-триггера.

Порядок выполнения работы.

1. Включить компьютер и монитор.
2. Открыть файл c14_01 со схемами измерительных установок(ИУ), показанными на рис. 5.22 и расположенных в верхней части файла. При положениях 1 ключей KeyA и KeyB на установочные входы исследуемого

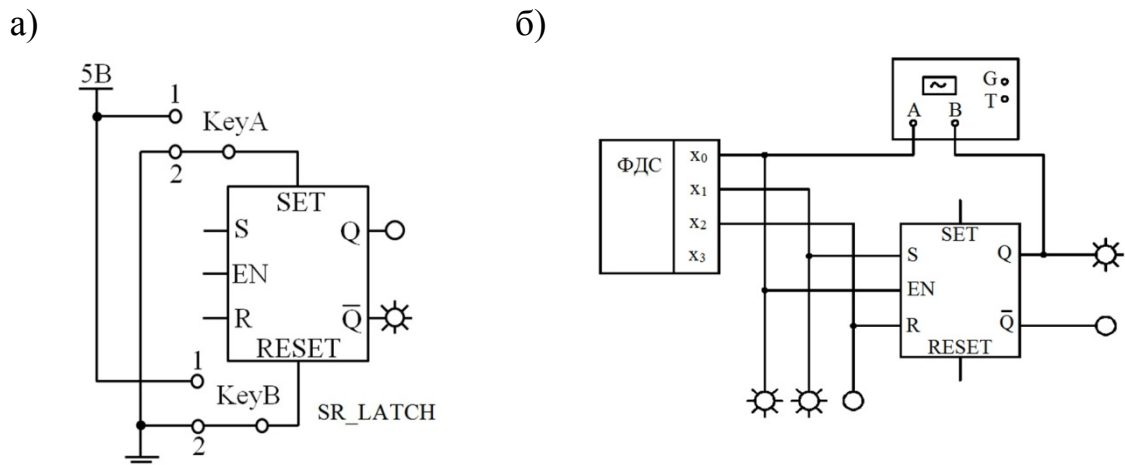


Рис. 5.22. Схемы измерительных установок для проверки установочных входов (а) и возможных состояний триггеров (б)

триггера поступают уровни “1”, а при положениях 2-уровни “0”. Любая из возможных комбинаций положений этих ключей осуществляется с помощью клавиатуры нажатием латинских букв А и В. В схеме на рис. 5.22,б на канал А осциллографа подаются сигналы x_0 с ФДС, являющиеся

тактовыми импульсами, поступающими на синхровход исследуемого триггера, а на канал В - импульсы, формируемые на прямом выходе триггера. Состояния входов и выходов триггера фиксируются индикаторами. Зарисовать схемы ИУ.

3. Включить схемы ИУ, ФДС, и осциллограф.

3.1. Дозаполнить таблицу 5.2, задавая ключами KeyA и KeyB рабочие

Таблица 5.2. Состояния выходов исследуемого триггера при двух рабочих комбинациях сигналов на установочных входах

Положения ключей		Состояния выходов	
Key A	Key B	Q	$\bar{Q}$
1	0		
0	1		

комбинации установочных сигналов. Сравнить полученные результаты с данными, приведенными для исследуемого триггера в разделе “Основные положения”(см. пояснения к рис. 5.2).

3.2. Установить ФДС в исходное состояние, при котором на всех его выходах нули. Для этого нужно выключить и вновь включить схемы. Последовательно нажимая на Step, по показаниям индикаторов, заполнить таблицу на рис. 5.23,а, где A_{10} – десятичный номер состояния ФДС. По данным этой таблицы построить временные диаграммы работы триггера (рис.5.23, б) и сравнить их с диаграммами, воспроизводимыми

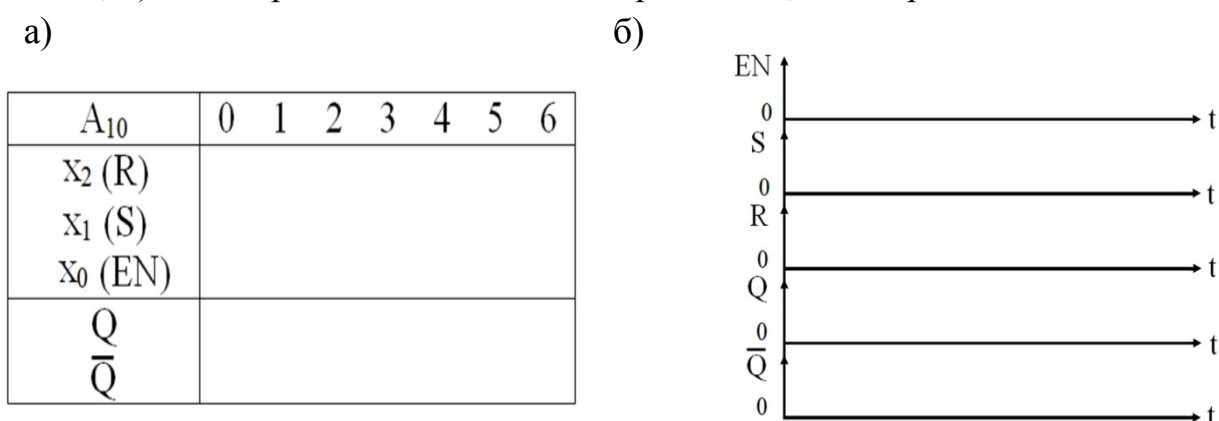


Рис. 5.23. Таблица состояний (а) и временные диаграммы работы (б) RS-триггера со статическим управлением

осциллографом.

Примечание. ФДС формирует последовательности импульсов, показанные на рис. 5.24. После 4-го, 8-го, 12-го и т.д. импульсов x_0 эти последовательности повторяются. Данные рис. 5.24 целесообразно

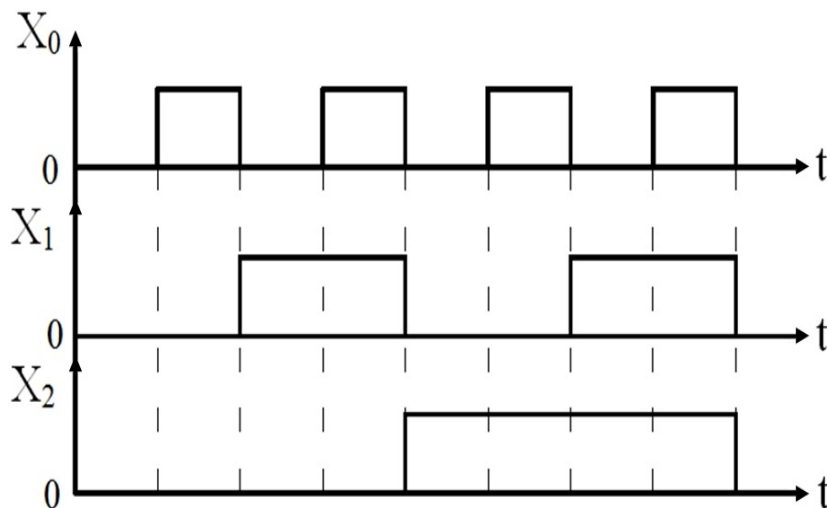


Рис. 5. 24. Последовательности импульсов на выходах формирователя двоичных слов

использовать для построения временных диаграмм на рис.5.23,б.

Осциллограф воспроизводит временные диаграммы при нажатых кнопках Y/T, DC, DC, Auto.

3.3. Выключить схемы. Заменить в схеме на рис. 5.22,а триггер SR_LATCH на триггер SR_LATCH_NEGSR с инверсивными установочными входами. Замена одного триггера на другой проводится по тому же алгоритму, что и замена логических элементов в лабораторной работе №1. Включить схемы и дозаполнить табл. 5.2 для этого триггера. По данным таблицы сделать вывод о том, какими уровнями сигналов триггер SR_LATCH_NEGSR устанавливается в исходное состояние. Выключить схемы ИУ, ФДС и осциллограф.

4. Перейти к схемам ИУ, расположенным в нижней части файла C14_01, где объектом исследований является триггер SR_FF_POSSR с динамическим управлением и прямыми установочными входами.

4.1. Повторить для этого триггера п.п. 3, 3.1-3.3. При выполнении последнего из этих пунктов, заменить исследуемый триггер на триггер SR_FF_NEGSR с инверсными установочными входами.

4.2. Закрывать нижнее окно, ответив “НЕТ” на вопрос компьютера.

5. Открыть файл C14_02 со схемой ИУ, показанной на рис. 5.25, где объектом исследований является триггер D_LATCH со статическим

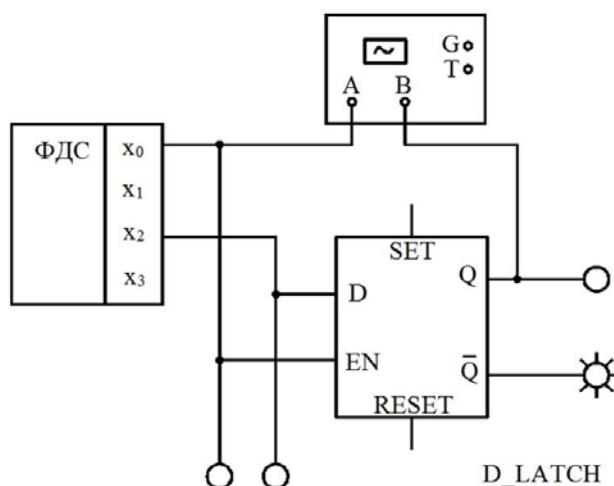


Рис. 5.25. Схема измерительной установки для проверки возможных состояний D-триггеров

управлением и прямыми установочными входами. Зарисовать схему ИУ. Здесь и далее установка триггеров в исходное состояние не исследуется, так как она та же самая, что и у RS-триггеров.

5.1. Включить ИУ, ФДС и осциллограф.

5.2. Установить ФДС в исходное состояние, при котором на всех его выходах нули. Последовательно нажимая на Step, по показаниям индикаторов заполнить таблицу на рис. 5.26, а. По данным этой таблицы и рис. 5.24 построить временные диаграммы работы этого триггера и сравнить их с диаграммами, воспроизводимыми осциллографом.

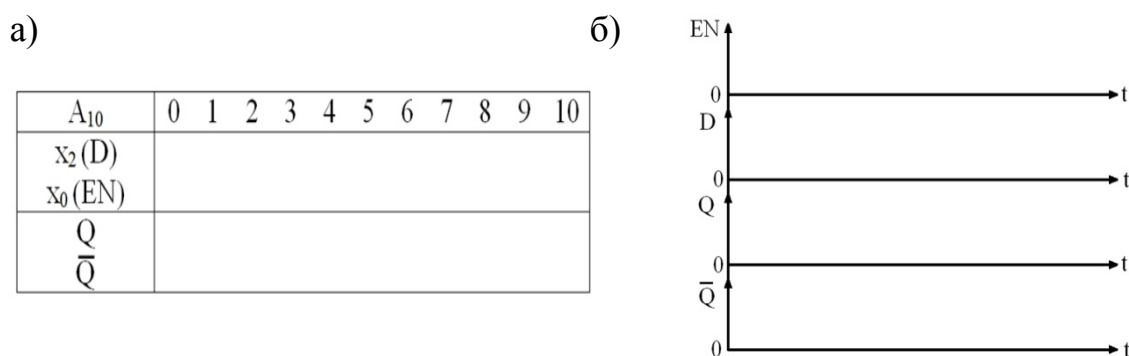


Рис. 5.26. Таблица состояний (а) и временные диаграммы работы (б) D-триггера со статическим управлением

5.3. Выключить схему, заменить в ней D_LATCH на триггер D_FF_POSSR с динамическим управлением и восстановить, утраченное при замене триггера, соединение входа для подачи тактовых импульсов с выходом x_0 ФДС. Включив схему убедиться, что у этого триггера ТС и временные диаграммы работы те же, что и на рис. 5.26.

5.4. Закрывать нижнее окно, ответив “НЕТ” на вопрос компьютера.

6. Открыть файл C14_03 (верхняя схема), где, в отличие от схемы на рис. 5.22,б, объектом исследований является двухступенчатый RS-триггер (рис. 5.5,а). Зарисовать схему ИУ.

6.1. Повторить для этого триггера п.п.3 и 3.2 и определить в какой именно момент тактового импульса двухступенчатый триггер изменяет своё состояние.

6.2. Перейти к нижней схеме файла C14_03, рис 5.27, где объектом исследований является JK-триггер с динамическим управлением. При положении 1 ключа KeyA этот триггер работает как одноступенчатый, а при положении 2 – по правилам двухступенчатого. Зарисовать схему ИУ.

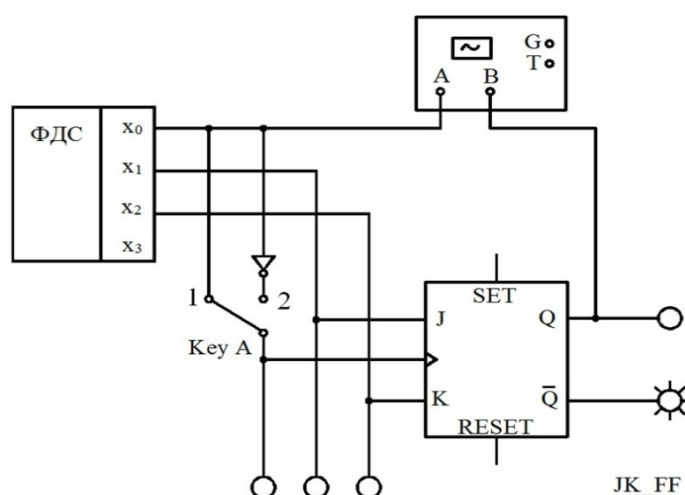


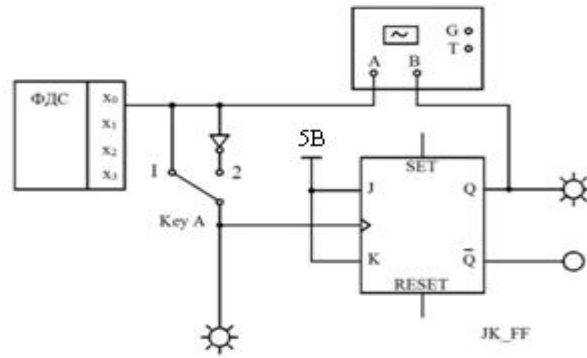
Рис. 5. 27. Схема измерительной установки для проверки возможных состояний универсальных JK-триггеров

6.3. Как и для ранее исследованных триггеров, построить временные диаграммы JK-триггеров в виде, показанном на рис 5.16 и 5.18, и сравнить их с диаграммами, воспроизводимыми осциллографом.

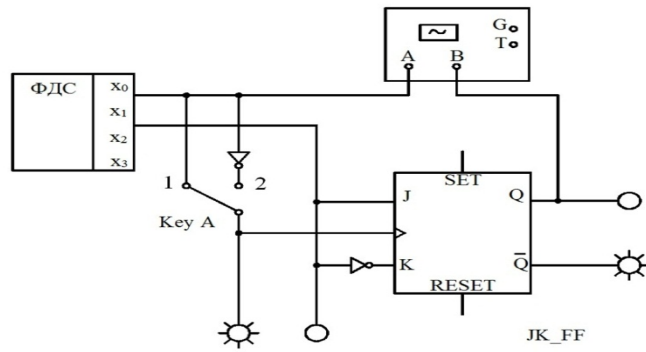
6.4. Закрывать нижнее окно, ответив “НЕТ” на вопрос компьютера.

7. Открыть файл C_14_04 со схемами ИУ, показанными на рис.5.28, где объектами исследований являются различные схемотехнические преобразования триггеров в друг друга. Здесь, как и на рис. 5.27, при положении 1 ключа KeyA исследуемые триггеры работают как одноступенчатые, а при положении 2 - по правилам двухступенчатых триггеров. Зарисовать схемы этих ИУ.

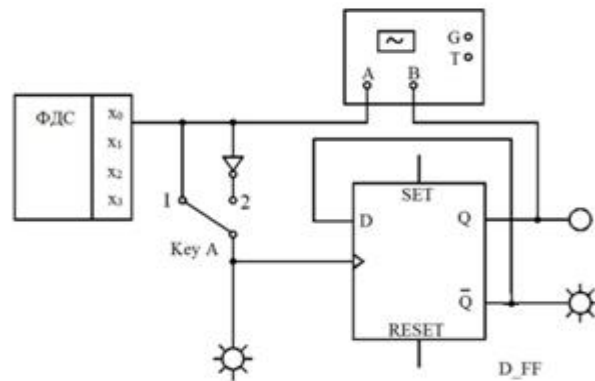
а)



б)



в)



г)

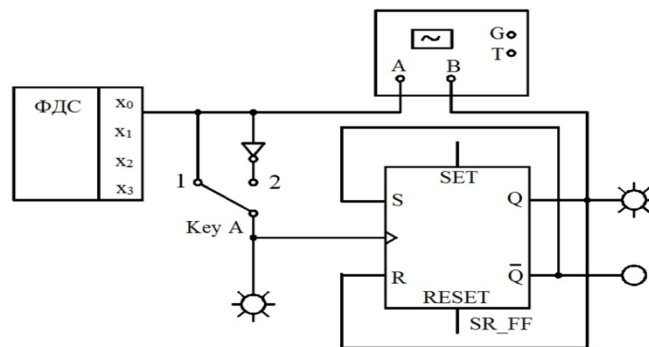


Рис. 5. 28. Схемы измерительных установок для проверки возможных состояний Т-триггеров, полученных из JK-(а), из D-(в) и RS-триггеров (г), а также D-триггеров, полученных из JK-триггеров (б)

7.1. Построить временные диаграммы работы всех преобразованных друг в друга триггеров (как одноступенчатых, так и двухступенчатых) и сравнить их с диаграммами, воспроизводимыми осциллографами.

7.2. Закрывать нижнее окно, ответив “НЕТ” на вопрос компьютера. Закрывать второе окно и выключить компьютер и монитор.

Содержания отчёта

1. Отечественные и международные условные обозначения RS-, D-, T- и JK-триггеров со статическим и динамическим управлением, а также, с прямым и инверсными установочными входами.

2. Схемотехнические преобразования триггеров друг в друга, в том числе одноступенчатых триггеров в двухступенчатые.

3. Схемы измерительных установок для проверки возможных состояний как непосредственно RS-, D-, T- и JK-триггеров, так и схемотехнических вариантов их взаимных преобразований. Результаты проверки способов установки триггеров в исходное состояние.

4. Результаты экспериментов в виде таблиц состояний и временных диаграмм работы по каждому из исследованных триггеров.

5. Сравнительная оценка работы в динамике одноступенчатых и двухступенчатых триггеров.

6. Выводы.

Лабораторная работа №6

Регистры и счетчики

Цель работы: изучение принципов построения и особенностей работы наиболее распространенных видов регистров и счетчиков, различного функционального назначения.

Основные положения. Регистры(RG) применяют для записи, хранения, считывания и преобразования m -разрядных двоичных чисел. Различают регистры хранения (памяти) и регистры сдвига двоичной информации. Важнейшие характеристики регистров – разрядность и быстродействие. Число триггеров в регистре и его разрядность равны m , т.е. числу разрядов двоичного числа. Быстродействие характеризуется

максимальной тактовой частотой, с которой может производиться запись, чтение и сдвиг информации.

Регистры хранения, из-за особенности хранения информации, делят на статические и динамические. Статические RG строят на основе потенциальных элементов памяти – триггеров, хранящих записанную информацию сколь угодно долго (конечно при наличии напряжения питания). Динамические RG строят на основе элементов памяти типа конденсатор (входная емкость МДП - транзистора), где информация хранится лишь некоторое время, т.е. находится в постоянном движении.

В статических регистрах хранения, показанных на рис 6.1,

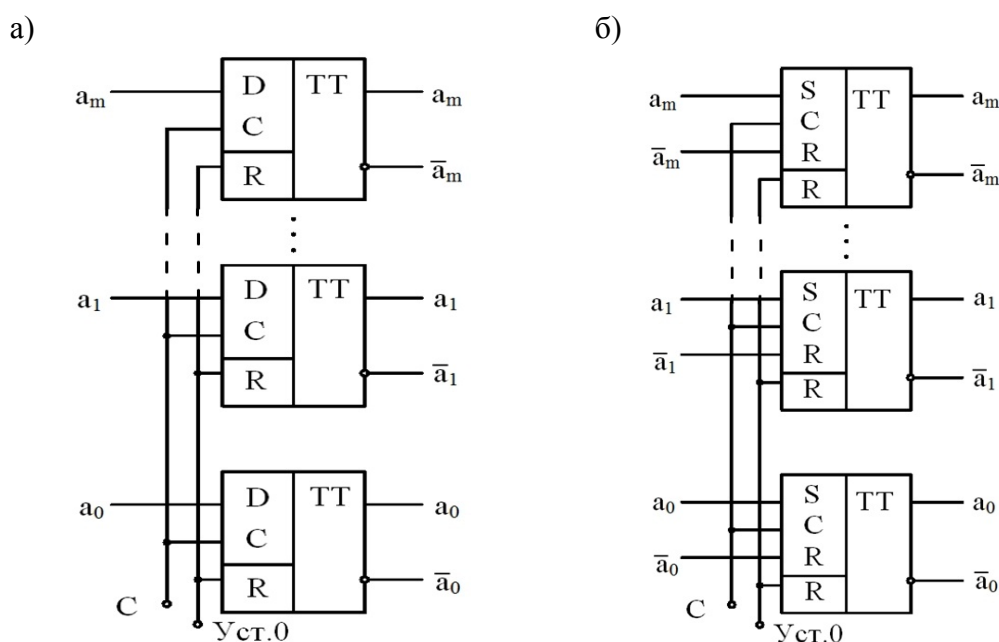


Рис. 6.1. Схемы статических регистров хранения на основе D-триггеров (а) и на основе RS-триггеров (б)

осуществляется параллельные ввод и вывод информации, т.е. всех разрядов двоичного числа одновременно. Основу этих регистров составляют комбинированные синхронные D – или RS- триггеры (в схеме на рис.6.1 триггеры с прямыми установочными входами). Перед записью двоичного числа $A_i = a_m \dots a_1 a_0$ в регистр, триггеры устанавливают в нулевое состояние кратковременной подачей сигнала 1 на вход “Уст. 0”. Затем подачей сигнала 1 на C-входы триггеров вводят информацию в регистр (каждый разряд числа A_i в соответствующий триггер).

В регистре на D-триггерах (рис 6.1, а) реализуется однофазная запись информации, при которой на информационные входы триггеров поступает

только прямые значения разрядов двоичного числа. В регистрах на RS-триггерах (рис. 6.1,б) реализуется парафазная запись информации, требующая большего числа соединений в RG. Вывод информации осуществляется коммутацией выходов триггеров регистра.

Регистры памяти можно построить и на основе асинхронных RS-триггеров. Условное обозначение этих регистров дано на рис. 6.2. Здесь $a_0 \dots a_m$ – входы регистра для подачи прямых значений разрядов двоичного

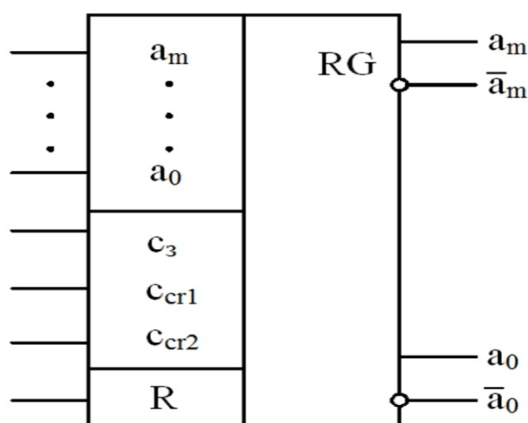


Рис. 6.2 Условное обозначение статического регистра хранения на основе асинхронных RS-триггеров

числа; R - вход установки триггеров регистра в нулевое состояние; C_3 , C_{cr1} и C_{cr2} – входы управления КЦС, входящей в состав регистра. Перед записью двоичного числа, подачей сигнала 1 на вход R устанавливают триггеры регистра в нулевое состояние. Затем, подачей сигнала 1 на вход C_3 (запись) , информацию, подведенную к входам КЦС ($a_m \dots a_0$) , записывают в триггеры регистра. Вывод информации из регистра в прямом коде осуществляют подачей сигнала 1 на вход C_{cr1} , а в обратном коде – подачей сигнала 1 на вход C_{cr2} .

Регистры сдвига предназначены для преобразования информации путём её сдвига подачей тактовых импульсов. Их используют в схемах умножения и деления: сдвиг числа влево или вправо на один разряд соответствует его умножению или делению на два. Регистры сдвига применяют и для задержки информации на определенное число тактов, ее передачи из одного регистра в другой и т.д. Они представляют собой совокупность последовательно соединенных триггеров, как правило, двухступенчатой структуры. По направлению сдвига информации различают регистры прямого сдвига (вправо, т.е. в сторону младшего

разряда регистра), обратного сдвига (влево, т.е. в сторону старшего разряда регистра) и реверсивные, допускающие сдвиг в обоих направлениях. Наиболее распространены регистры сдвига на D-триггерах со статическим или с динамичным управлением.

Схема 4-х разрядного регистра сдвига вправо, построенная на основе двухступенчатых D-триггеров со статическим управлением, приведена на рис. 6.3. Содержит один информационный вход для ввода в регистр

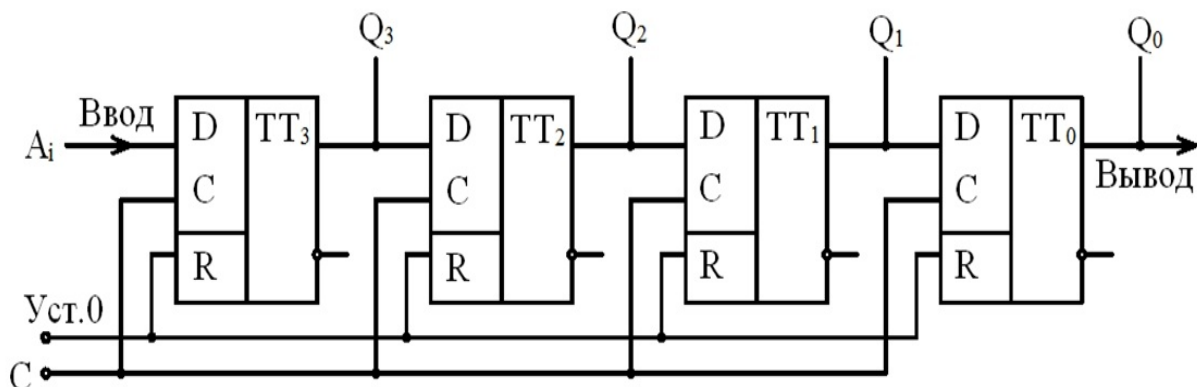


Рис.6.3. Схема четырехразрядного регистра сдвига вправо, построенная на основе двухступенчатых D-триггеров со статическим управлением

многоразрядного двоичного числа A_i , вход C для подачи тактовых импульсов (импульсов сдвига), установочный R -вход и четыре выхода $Q_3 \div Q_0$. Последний из них используется для вывода информации из регистра. Перед записью информации, регистр устанавливают в нулевое состояние кратковременной подачей уровня 1 на шину “Уст. 0”. Далее записываемое число $A_i = a_3 a_2 a_1 a_0$ последовательным кодом вводят в регистр со стороны его старшего разряда. При этом после первого тактового импульса младший разряд a_0 числа A_i поступает в старший разряд регистра. После второго – a_0 сдвигается вправо, а в старший разряд регистра поступает a_1 и т.д. вплоть до окончания записи, как это отражено в таблице 6.1. Вывод информации из регистра (считывание) так же последовательным кодом осуществляют дальнейшей подачей тактовых импульсов. Таким образом, в этих регистрах для записи и считывания m -разрядного двоичного слова последовательным кодом необходимы $m+m=2m$ импульсов сдвига. Это и определяет низкое быстродействие регистров сдвига.

Таблица 6.1. Таблица состояний четырехразрядного регистра сдвига вправо

№ тактового импульса		Состояния выходов триггеров регистра			
		Q_3	Q_2	Q_1	Q_0
Ввод (запись)	1	a_0	0	0	0
	2	a_1	a_0	0	0
	3	a_2	a_1	a_0	0
	4	a_3	a_2	a_1	a_0
Вывод (считывание)	5	0	a_3	a_2	a_1
	6	0	0	a_3	a_2
	7	0	0	0	a_3
	8	0	0	0	0

С помощью регистров сдвига можно преобразовать информацию из последовательной формы представления в параллельную. Для этого необходимо считать информацию непосредственно с выходов $Q_3 \div Q_0$ триггеров регистра в паузе между последним тактовым импульсом цикла записи и последующими тактовыми импульсами.

Схема 4-х разрядного регистра сдвига влево приведена на рис. 6.4.

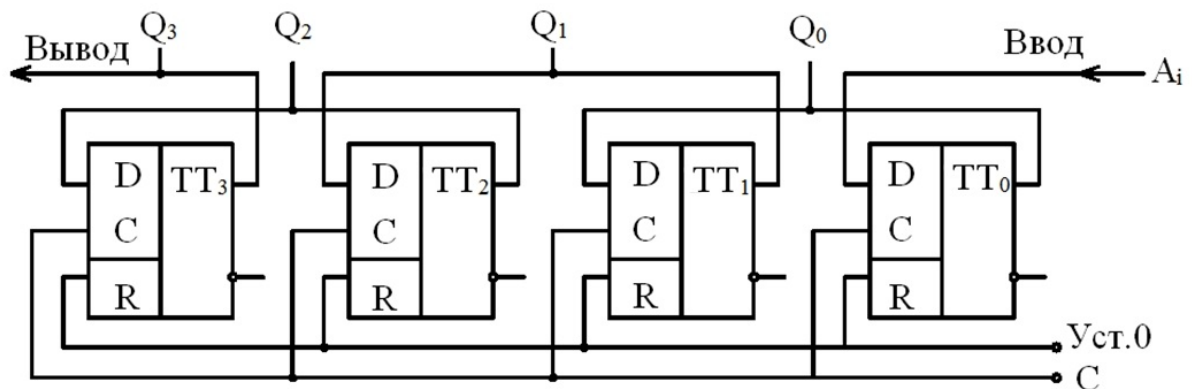


Рис. 6.4. Схема четырехразрядного регистра сдвига влево

Здесь, в отличие от регистра сдвига вправо, записываемое число A_i вводят в регистр со стороны младшего разряда регистра. При этом после первого тактового импульса старший разряд a_3 числа A_i поступает в младший разряд регистра и далее, как это отражено в таблице 6.2. Вывод информации из регистра (считывание) осуществляется дальнейшей

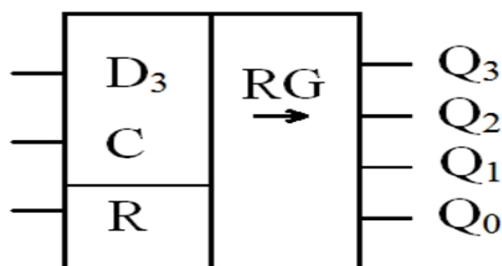
Таблица 6.2. Таблица состояний четырехразрядного регистра сдвига влево

№ тактового импульса		Состояния выходов триггеров регистра			
		Q ₃	Q ₂	Q ₁	Q ₀
Ввод (запись)	1	0	0	0	a ₃
	2	0	0	a ₃	a ₂
	3	0	a ₃	a ₂	a ₁
	4	a ₃	a ₂	a ₁	a ₀
Вывод (считывание)	5	a ₂	a ₁	a ₀	0
	6	a ₁	a ₀	0	0
	7	a ₀	0	0	0
	8	0	0	0	0

подачей тактовых импульсов.

Условные обозначения регистров сдвига показаны на рис.6.5, где

а)



б)

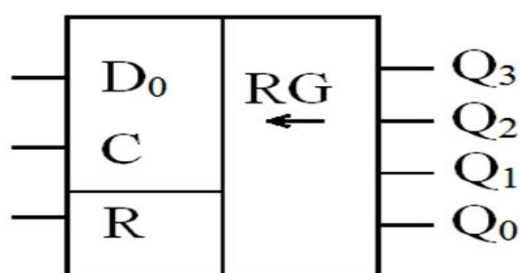


Рис. 6.5. Условные обозначения регистров сдвига вправо (а) и влево (б)

стрелка указывает направление сдвига числа A_i в регистре.

Реверсивные регистры позволяют сдвигать информацию как вправо, так и влево. Представляют собой комбинацию рассмотренных выше схем регистров сдвига, управляемых посредством КЦС. Имеют дополнительно два разрешающих входа V_1 и V_2 . Если на V_1 подана 1, а на V_2 – 0, то это регистр сдвига вправо, если наоборот – регистр сдвига влево. В условном обозначении этих регистров присутствует символ двунаправленной стрелки.

Разновидностью регистров сдвига является кольцевой регистр. Он используется в распределителях, предназначенных для пространственно-временного распределения тактовых импульсов. Схема 4-х разрядного кольцевого регистра (распределителя импульсов) приведена на рис. 6.6. Здесь с каждым очередным тактовым импульсом единица, предварительно

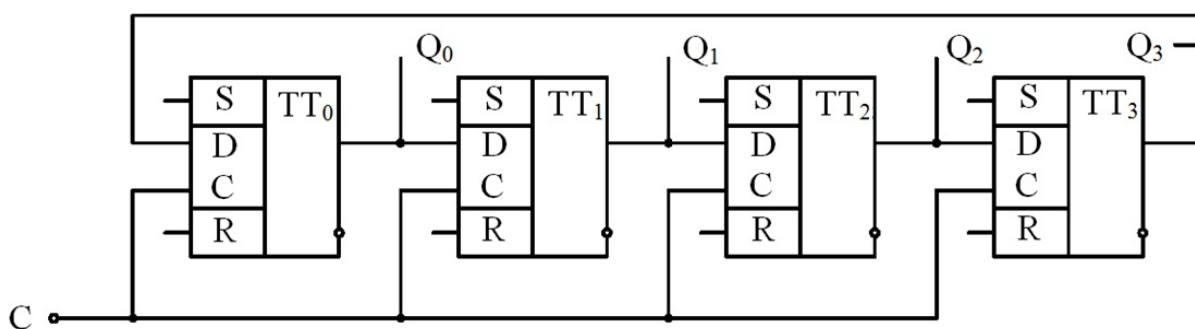


Рис.6.6. Схема четырехразрядного кольцевого регистра

записанная в триггер $ТТ_0$, передвигается в соседний триггер и т.д. С выхода последнего триггера регистра по кольцевой обратной связи единица вновь попадает в триггер $ТТ_0$. Число выходов кольцевого регистра, очевидно, равно числу триггеров в регистре.

Универсальные регистры, например, четырехразрядный регистр К155 ИР 1, выполняют все рассмотренные выше операции (памяти, сдвигов вправо и влево, реверсивного регистра), а также кольцевого регистра.

Счетчики (СТ2) осуществляют счет импульсов, поступающих на информационный вход. Результат счета формируют в двоичном коде и могут хранить требуемое время. Их строят обычно на D и JK-триггерах, предварительно преобразованных в Т-триггеры. Число триггеров в счетчике и его разрядность, равные m , определяют основные параметры счетчика – модуль счета и быстродействие.

Модуль счета

$$K_c = 2^m$$

показывает какое максимальное число импульсов может быть сосчитано и зафиксировано счетчиком. Быстродействие характеризуется максимально допустимой частотой поступления информационных сигналов.

Счетчики классифицируют по нескольким признакам:

1) по назначению – суммирующие (с прямым счетом), вычитающие (с обратным счетом) и реверсивные;

2) по способу организации схемы переноса – с последовательным, параллельным и комбинированным (параллельно-последовательным) переносом;

3) синхронные и асинхронные (в синхронных счетный импульс поступает на С-входы всех триггеров одновременно, что приводит к

одновременному изменению их состояний; в асинхронных – на С-вход только одного триггера).

Принцип построения и особенности работы асинхронных суммирующих счетчиков с последовательным переносом поясним на примере трехразрядного счетчика на Т-триггерах, схема которого приведена на рис. 6.7. Имеет один информационный вход для подачи

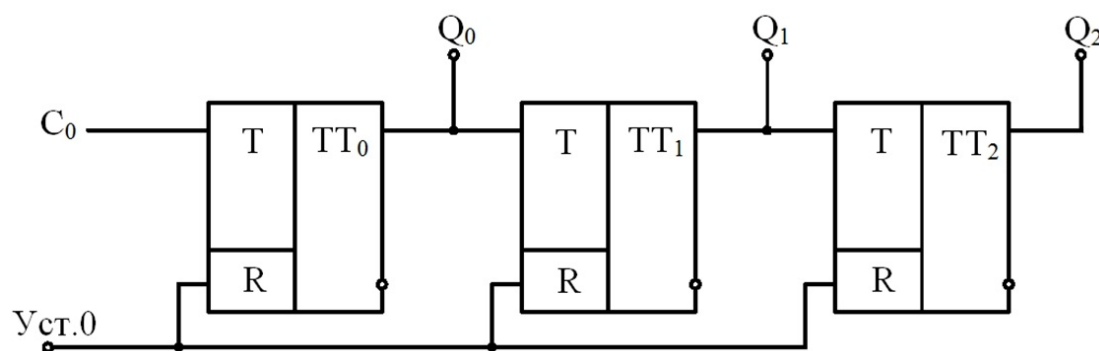


Рис.6.7. Схема трехразрядного суммирующего счетчика с последовательным переносом

счетных импульсов C_0 , установочный R-вход и три выхода Q_2 , Q_1 и Q_0 . Перед записью информации, счетчик устанавливают в нулевое состояние кратковременной подачей уровня 1 на шину «Уст. 0». Далее, счетные импульсы последовательным кодом вводят в счетчик со стороны его младшего разряда. При этом после первого счетного импульса единица записывается в триггер $ТТ_0$ и появляется на его прямом выходе Q_0 . После второго – в триггер $ТТ_1$ и т.д. вплоть до окончания поступления счетных импульсов, как это отражено в таблице 6.3. Видно, что с приходом очередного счетного импульса к содержимому счетчика прибавляется

Таблица 6.3. Таблица состояний трехразрядного суммирующего счетчика с последовательным переносом

№ состояния	0	1	2	3	4	5	6	7	0
Q_2	0	0	0	0	1	1	1	1	0
Q_1	0	0	1	1	0	0	1	1	0
Q_0	0	1	0	1	0	1	0	1	0

единица. При этом увеличивается на единицу номер состояния, являющийся десятичным эквивалентом соответствующего данному состоянию двоичного числа. После окончания счета и последующей

подаче счетного импульса, счетчик вновь переходит в нулевое состояние, при котором на всех его выходах нули. Условное обозначение рассмотренного счетчика приведено на рис.6.8, где показано, что его

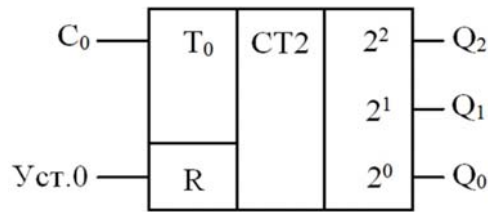
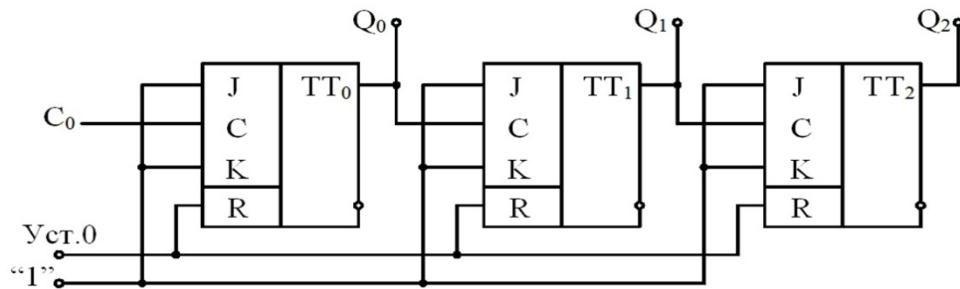


Рис.6.8. Условное обозначение трехразрядного суммирующего счетчика с последовательным переносом

входом T_0 является Т-вход триггера младшего разряда, а на правом поле указан «вес» каждого разряда.

Схема и временные диаграммы работы трехразрядного суммирующего счетчика на основе Т-триггеров, полученных из JK-триггеров, приведены на рис. 6.9. Так как JK-триггеры в этой схеме а)



б)

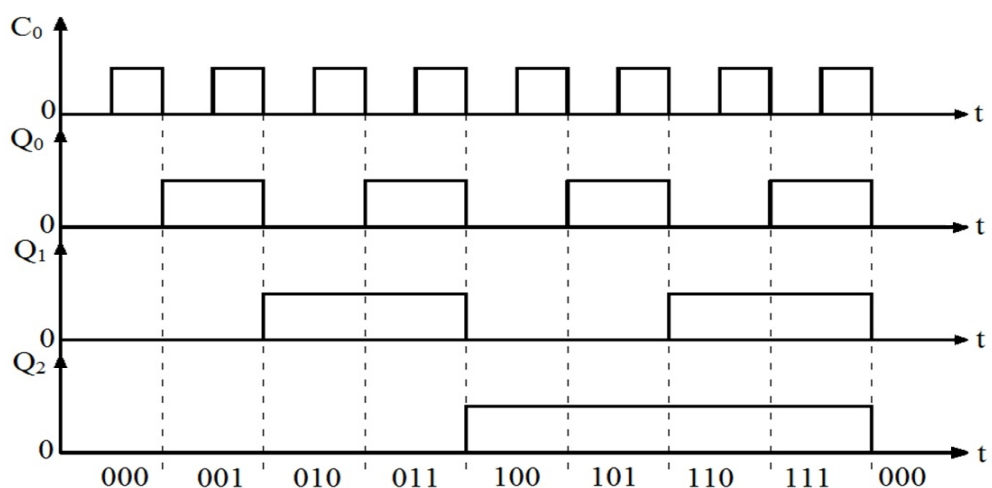


Рис. 6.9. Схема (а) и временные диаграммы работы (б) трехразрядного суммирующего счетчика на Т-триггерах, полученных из JK-триггеров

функционируют по правилам двухступенчатых, то при построении временных диаграмм работы счетчика учтено, что эти триггеры изменяют свое состояние на противоположное в момент перепада импульса на их синхровходе от единицы к нулю: триггер $ТТ_0$ – в момент окончания счетного импульса C_0 , триггер $ТТ_1$ – в момент окончания импульса на прямом выходе триггера $ТТ_0$, а триггер $ТТ_2$ – в момент окончания импульса на прямом выходе триггера $ТТ_1$. Из временных диаграмм видно, что смена состояний счетчика после каждого счетного импульса находится в полном соответствии с таблицей 6.3.

Схема и временные диаграммы работы этого же счетчика на основе Т-триггеров, полученных из D-триггеров с динамическим управлением, приведены на рис. 6.10. Так как D-триггеры в этой схеме функционируют

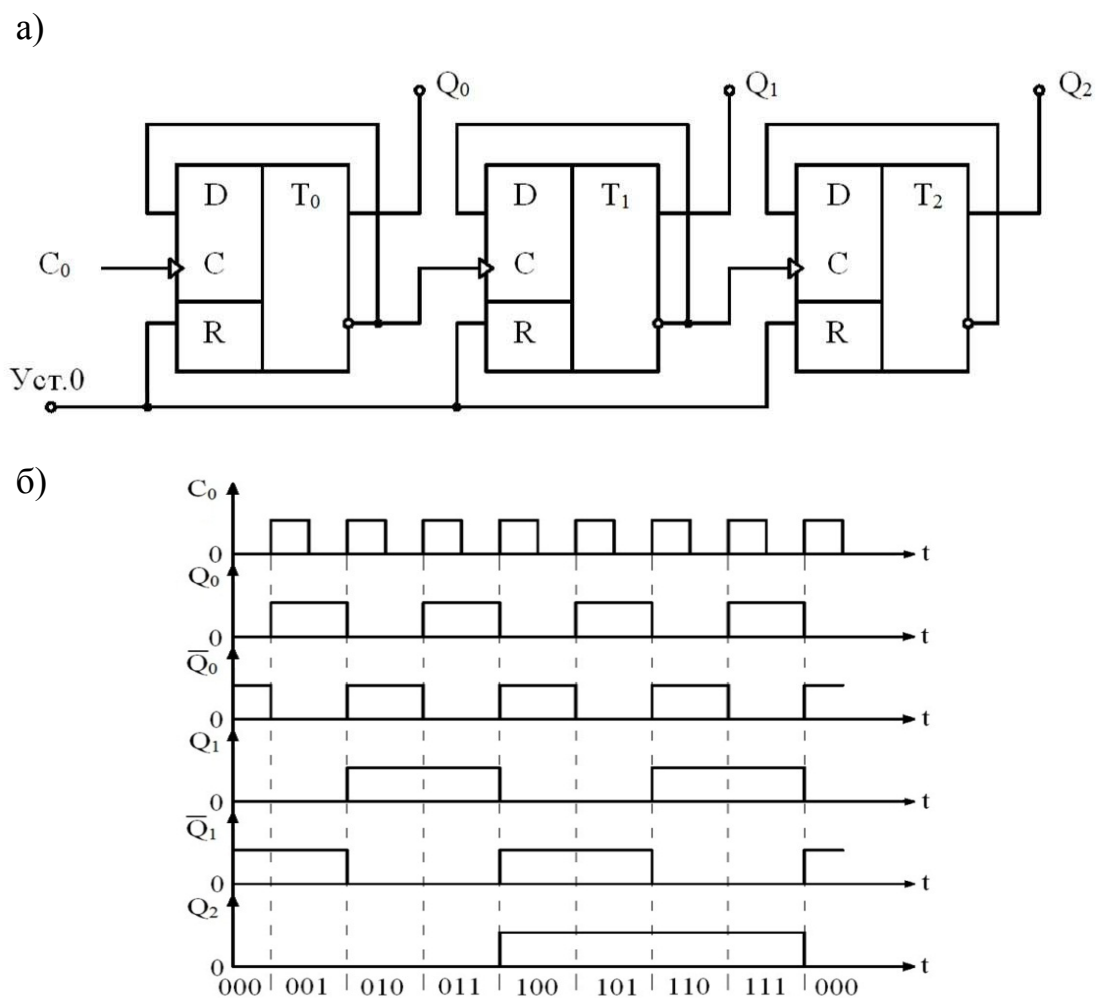


Рис. 6.10. Схема (а) и временные диаграммы работы (б) трехразрядного суммирующего счетчика на Т-триггерах, полученных из D-триггеров с динамическим управлением

по правилам одноступенчатых, то при построении временных диаграмм работы счетчика учтено, что эти триггеры изменяют свое состояние на противоположное в момент перепада импульса на их синхровходе от нуля к единице: триггер T_0 – в момент начала счетного импульса C_0 , триггер T_1 – в момент начала импульса на инверсном выходе триггера T_0 , а триггер T_2 – в момент начала импульса на инверсном выходе триггера T_1 .

Асинхронные вычитающие счетчики с последовательным переносом имеют обратный порядок смены состояний – с приходом очередного счетного импульса содержащееся в счетчике число уменьшается на единицу, как это отражено в случае трехразрядного счетчика в таблице 6.4. Строится вычитающий счетчик так же, как и суммирующий, но с тем

Таблица 6.4. Таблица состояний трехразрядного вычитающего счетчика с последовательным переносом

№ состояния	7	6	5	4	3	2	1	0	7
Q_2	1	1	1	1	0	0	0	0	1
Q_1	1	1	0	0	1	1	0	0	1
Q_0	1	0	1	0	1	0	1	0	1

основным отличием, что со входом каждого последующего триггера соединяется другой выход предыдущего (рис. 6.11). Перед записью информации, кратковременной подачей уровня 1 на шину «Уст.1», счетчик

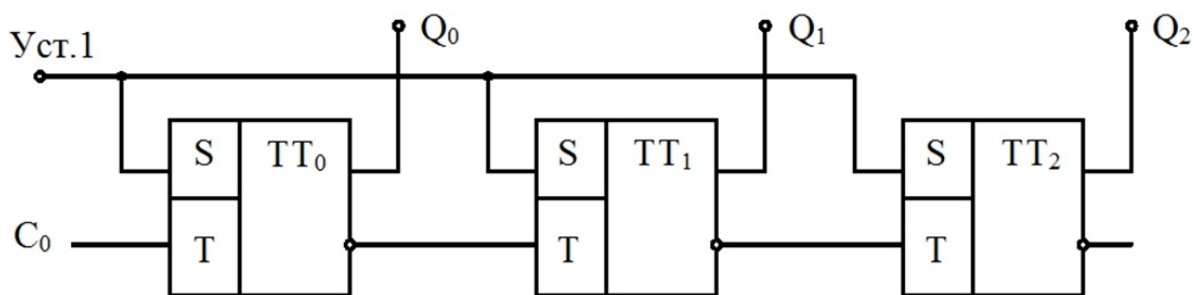


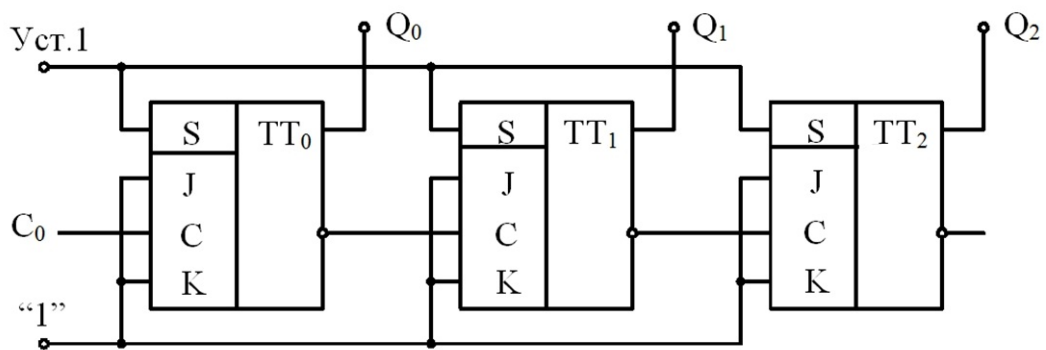
Рис. 6.11. Схема трехразрядного вычитающего счетчика с последовательным переносом

устанавливается в исходное состояние, при котором на всех выходах счетчика единицы. Далее, счетные импульсы последовательным кодом

вводят в счетчик со стороны его младшего разряда. При этом после первого счетного импульса ноль записывается в триггер $ТТ_0$ и появляется на его прямом выходе Q_0 . После второго - в триггер $ТТ_1$ и т.д. в соответствии с таблицей 6.4. После окончания счета и последующей подачи счетного импульса, счетчик вновь переходит в исходное состояние, при котором на всех его выходах единицы.

Схема и временные диаграммы работы трехразрядного вычитающего счетчика на основе Т-триггеров, полученных из JK-триггеров, приведены на рис. 6.12. Здесь триггер $ТТ_0$ изменяет свое состояние на

а)



б)

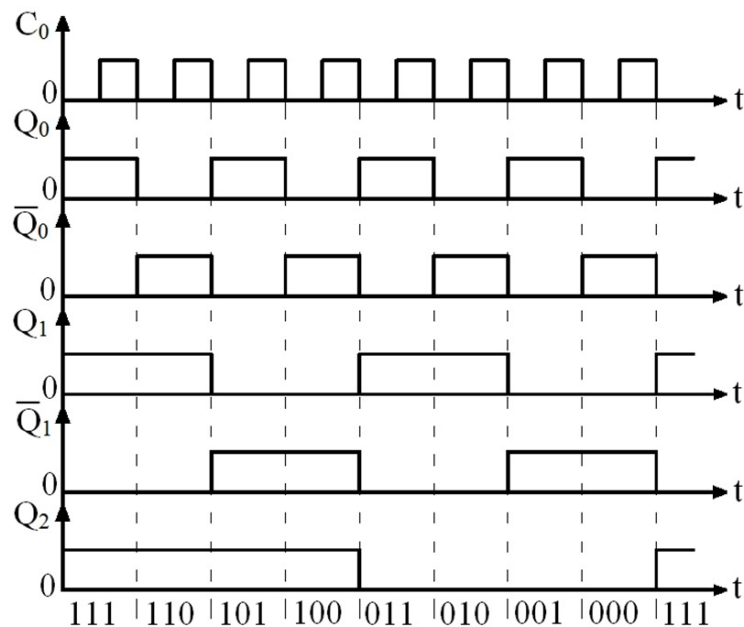


Рис. 6.12. Схема (а) и временные диаграммы работы (б) трехразрядного вычитающего счетчика на Т-триггерах, полученных из JK-триггеров

противоположное в момент начала счетного импульса C_0 , триггер T_1 – в момент начала импульса на прямом выходе триггера T_0 , а триггер T_2 – в момент начала импульса на прямом выходе триггера T_1 .

В рассмотренных асинхронных счетчиках с последовательным переносом задержка установления состояния счетчика возрастает при увеличении его разрядности и определяется суммой задержек установления состояния каждого из триггеров счетчика, что ограничивает один из его основных параметров – быстродействие. Этот недостаток устранен в синхронных счетчиках с параллельным переносом, быстродействие которых ограничено задержкой установления состояния только триггера младшего разряда.

Синхронные счетчики с параллельным переносом реализуют на основе TV-триггеров, как это показано на примере m -разрядного суммирующего счетчика, фрагмент схемы которого приведен на рис. 6.14. На этой схеме полностью показаны только первые три разряда счетчика. Видно, что схема содержит логические элементы И с нарастающим от разряда к разряду числом входов. Так, между прямым выходом TV-триггера 4-го разряда и V-входом 5-го расположен уже ЛЭ 4И и т.д. Т- и V-входы триггера TT_0 объединены и он работает по правилам двухступенчатого Т-триггера – в момент окончания каждого очередного счетного импульса изменяет свое состояние только тогда, когда к моменту окончания того или иного счетного импульса на их V-входах сформирован уровень 1. Счетчик имеет один информационный вход для подачи

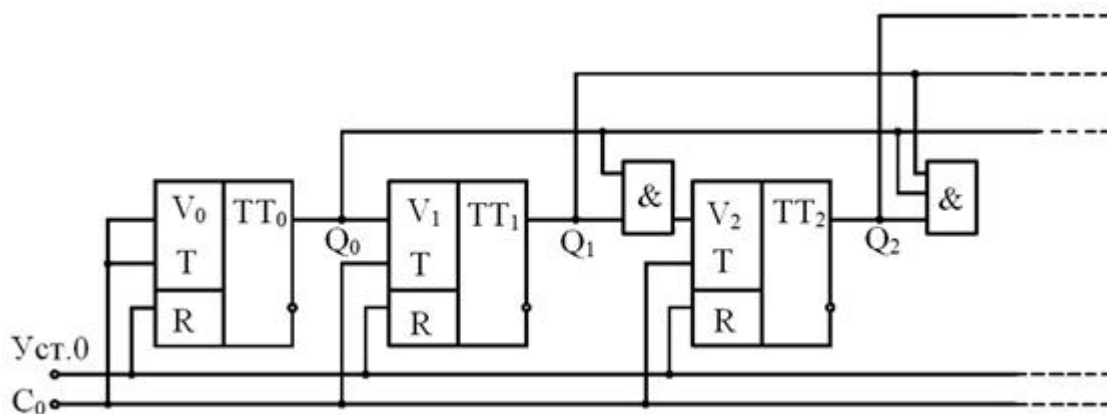


Рис. 6.14. Фрагмент схемы m -разрядного синхронного суммирующего счетчика с параллельным переносом

счетных импульсов C_0 , установочный R-вход и m -выходов Q_0 - Q_m . Перед записью информации, счетчик устанавливают в нулевое состояние

сигнал $V_2=Q_0Q_1=1$, разрешающий переключение триггера ТТ₂, формируется на выходе ЛЭ 2И только тогда, когда $Q_0=1$ и $Q_1=1$. Согласно временным диаграммам на рис. 6.15,б, эти условия в счетчике в процессе одного цикла счета выполняются дважды – после третьего и седьмого счетных импульсов.

Синхронные вычитающие счетчики с параллельным переносом строятся по тем же схемам, что и суммирующие, но сигналы переноса, в отличие от суммирующих, снимаются с инверсных выходов, триггеров счетчика, как это показано на примере m -разрядного вычитающего счетчика, фрагмент схемы которого приведен на рис. 6.16. На этом фрагменте схемы полностью показаны только первые три разряда счетчика. Перед записью информации, кратковременной подачей уровня 1 на шину «Уст. 1» счетчик устанавливают в исходное состояние, при котором на всех прямых выходах триггеров счетчика единицы. Далее, счетные импульсы последовательным кодом подают на Т-входы триггеров счетчика одновременно. При этом после первого счетного импульса ноль записывается триггер $ТТ_0$ и появляется на его прямом выходе Q_0 , а на разрешающий вход V_1 триггера $ТТ_1$ поступает единица. После второго – ноль записывается в триггер $ТТ_1$ вплоть до окончания поступления счетных импульсов. Если бы схема на рис. 6.16 содержала только три первых разряда, то указанная очередность смены состояний триггеров

Схема и временные диаграммы работы трехразрядного вычитающего счетчика на основе TV-триггеров, полученных из JK-триггеров, приведены на рис.6.17. Из схемы на рис.6.17,а следует, что сигнал $V_2 = \bar{Q}_0 \bar{Q}_1 = 1$, разрешающий переключение триггера $ТТ_2$, формируется на выходе ЛЭ 2И только тогда, когда $Q_0 = 0$ ($\bar{Q}_0 = 1$) и $Q_1 = 0$ ($\bar{Q}_1 = 1$). Согласно временным диаграммам на рис.6.17,б, эти условия в счетчике в процессе одного цикла счета выполняются дважды – после третьего и седьмого счетных

а)

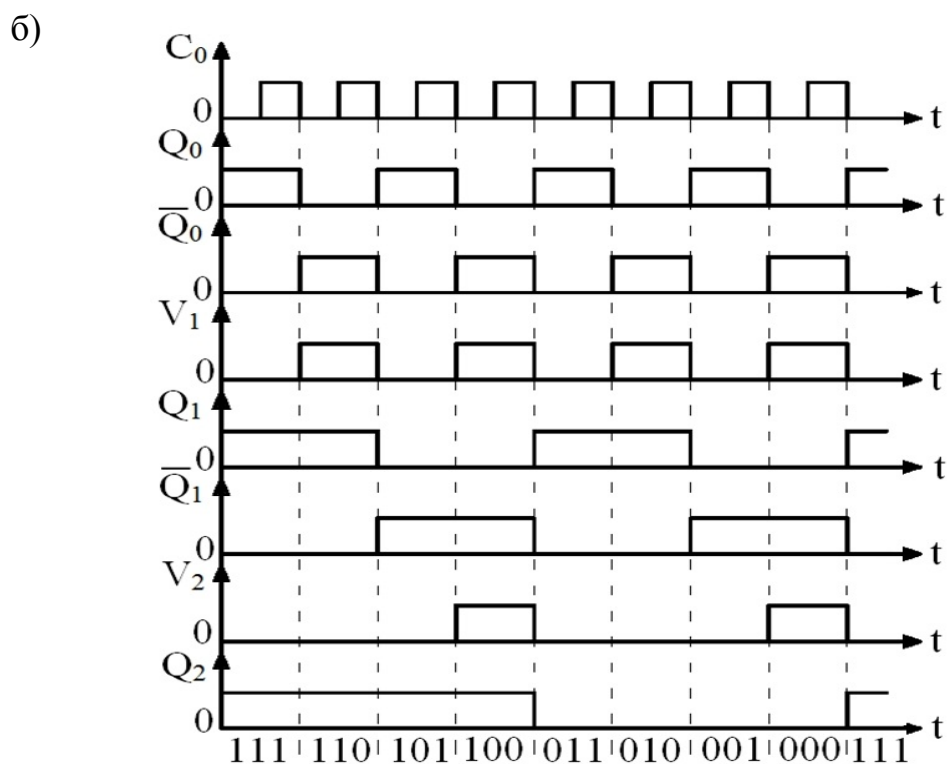
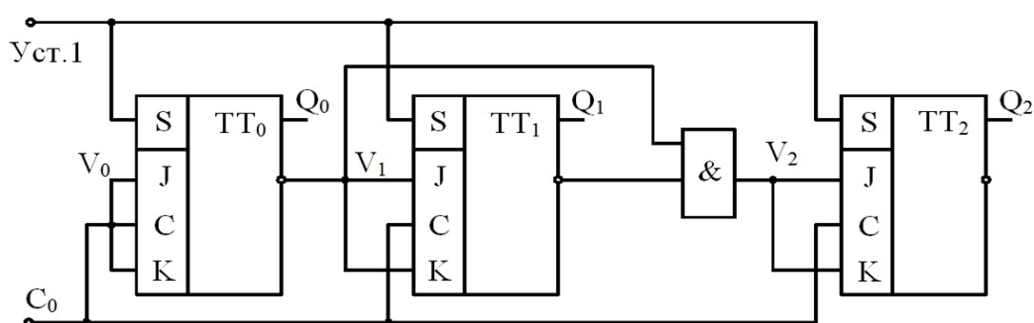


Рис.6.17. Схема (а) и временные диаграммы работы (б) трехразрядного синхронного вычитающего счетчика с параллельным переносом, построенного на основе TV-триггеров, полученных из JK-триггеров

импульсов.

Как отмечалось ранее, быстродействие синхронных счетчиков с параллельным переносом выше, чем асинхронных с последовательным переносом, что обеспечило синхронным счетчикам широкое применение. Недостатком этих счетчиков является необходимость включения в схему логических элементов с разным, причем нарастающим от разряда к разряду, числом входов. Это нарушает регулярность структуры счетчика и ограничивает возможность наращивания его схемы. Частично этот недостаток можно устранить при использовании триггеров с входной логикой.

Реверсивные счетчики, объединяющие возможности суммирующего и вычитающего, строятся таким образом, чтобы обеспечивалось управление направлением счета с помощью сигналов на сложение C_C и вычитание C_B . Поэтому их схемы содержат дополнительную комбинационную часть, выполняющую указанную функцию.

Комбинированный перенос (параллельно-последовательный) применяется при построении многоразрядных счетчиков, которые должны иметь высокое быстродействие. Функциональная схема таких счетчиков состоит из группы триггеров, внутри каждой из которых организуется параллельный перенос, а между группами – последовательный. В примере на рис. 6.18 многоразрядный счетчик с комбинированным переносом

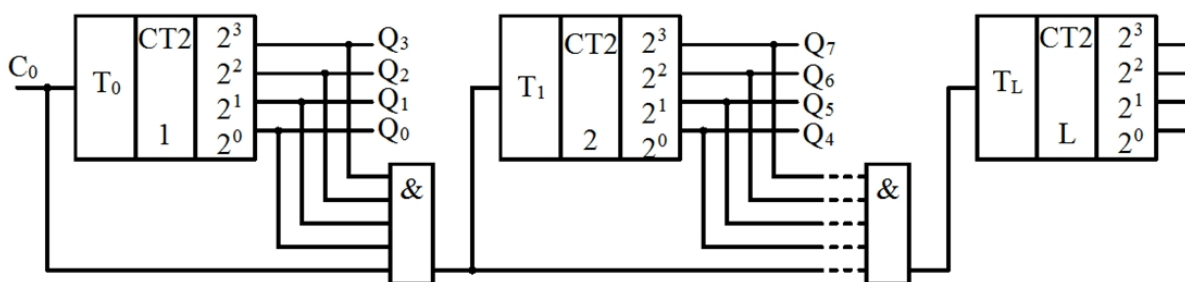


Рис. 6.18. Функциональная схема многоразрядного счетчика с комбинированным переносом

состоит из четырехразрядных счетчиков с параллельным переносом. На входе каждой группы триггеров включен элемент И, который формирует сигнал переноса в следующую группу при заполнении триггеров единицами.

Порядок выполнения работы

1. Включить компьютер и монитор.
2. Открыть файл C14_06 со схемами регистров хранения. Левая схема в этом файле – регистр хранения на D-триггерах с одндфазной записью информации, а правая – регистр хранения на RS-триггерах с парафазной записью информации. Двоичные слова, подлежащие записи в регистры, поступают на их входы с выходов $x_0 - x_3$ ФДС, а тактовые импульсы, управляющие работой регистров, с выхода x_4 . Зарисовать схемы измерительных установок.
3. Включить ФДС и схему. Последовательно нажимая на Step, по показаниям индикаторов убедиться в работоспособности содержащихся в файле регистров хранения.
4. Выключить схему и закрыть окно с этой схемой, ответив «Нет» на вопрос компьютера.
5. Открыть файл C14_07 со схемами регистров сдвига. Верхняя схема в этом файле – регистр сдвига вправо, а нижняя – сдвига влево. Двоичное слово, подлежащее записи в регистры, поступает на их входы через инвертор с выхода x_3 ФДС, а тактовые импульсы, управляющие работой регистров, с выхода x_0 . Зарисовать схемы измерительных установок.
6. Включить ФДС и схему. Последовательно нажимая на Step, по показаниям индикаторов убедиться в работоспособности содержащихся в файле регистров сдвига и заполнить таблицы, подобные таблицам 6.1 и 6.2 раздела «Основные положения».
7. Выключить схему и закрыть окно с этой схемой, ответив «Нет» на вопрос компьютера.
8. Открыть файл C14_05, где объектом исследований является трехразрядный асинхронный суммирующий счетчик с последовательным переносом на Т-триггерах, полученных из JK-триггеров с динамическим управлением. Благодаря инверторам на синхровходах, каждый из триггеров переключается в момент перепада импульсов на этих входах от 1 к 0. Результат счета отображается в двоичном коде световыми индикаторами, подключенными к прямым выходам триггеров, а в десятичном коде – семисегментным дисплеем. Осциллографы измерительной установки фиксируют временные диаграммы работы счетчика, подобные показанным на рис.6.9,б. На входы А всех осциллографов подаются тактовые импульсы с выхода ФДС, а на входы В – импульсы с прямых выходов триггеров счетчика. Зарисовать схему ИУ.

9. Включить схему, осциллографы и ФДС. Последовательно нажимая на Step ФДС, по показаниям индикаторов и дисплея заполнить таблицу состояний счетчика и сравнить ее с таблицей 6.3 раздела «Основные положения». Одновременно, по данным осциллографов, построить временные диаграммы работы счетчика, расположив их одну под другой и в той же последовательности, что и на рис.6.9,б.

10. Выключить схему и закрыть окно с этой схемой, ответив «Нет» на вопрос компьютера.

11. Открыть файл C14_05-1, где объектом исследований является трехразрядный асинхронный суммирующий счетчик с последовательным переносом на Т-триггерах, полученных из D-триггеров с динамическим управлением. Зарисовать схему ИУ, собранную по тому же принципу, что и в файле C14_05.

12. Включить схему, осциллографы и ФДС. Последовательно нажимая на Step ФДС, по показаниям индикаторов и дисплея заполнить таблицу состояний счетчика и сравнить ее с таблицей 6.3 раздела «Основные положения». Одновременно, по данным осциллографов, построить временные диаграммы работы счетчика, расположив их одну под другой и в той же последовательности, что и на рис.6.10,б. При построении временных диаграмм необходимо помнить о том, что на прямых и инверсных выходах триггеров счетчика формируются противоположные значения сигналов.

13. Выключить схему и закрыть окно с этой схемой, ответив «Нет» на вопрос компьютера.

14. Открыть файл C14_05-2, где объектом исследований является трехразрядный асинхронный вычитающий счетчик с последовательным переносом на Т-триггерах, полученных из JK-триггеров с динамическим управлением. Зарисовать схему ИУ, собранную по тому же принципу, что и в файле C14_05, но с тем отличием, что синхровход каждого последующего триггера соединен с другим выходом предыдущего.

15. Включить схему, осциллографы и ФДС. Последовательно нажимая на Step ФДС, по показаниям индикаторов и дисплея заполнить таблицу состояний счетчика и сравнить ее с таблицей 6.4 раздела «Основные положения». Одновременно, по данным осциллографов, построить временные диаграммы работы счетчика, расположив их одну под другой и в той же последовательности, что и на рис.6.12,б.

Примечание. Здесь и в других схемах ИУ для исследований вычитающих счетчиков, первый тактовый импульс устанавливает триггеры счетчика в исходное состояние, при котором на их прямых выходах формируются уровни 1. Сам процесс вычитания осуществляется при последующей подаче тактовых импульсов.

16. Выключить схему и закрыть окно с этой схемой, ответив «Нет» на вопрос компьютера.

17. Открыть файл C14_05-3, где объектом исследований является трехразрядный асинхронный вычитающий счетчик с последовательным переносом на Т-триггерах, полученных из D-триггеров с динамическим управлением. Зарисовать схему ИУ.

18. Включить схему, осциллографы и ФДС. Последовательно нажимая на Step ФДС, по показаниям индикаторов и дисплея заполнить таблицу состояний счетчика и сравнить ее с таблицей 6.4 раздела «Основные положения». Одновременно, по данным осциллографов, построить временные диаграммы работы счетчика, расположив их одну под другой и в той же последовательности, что и на рис.6.13,б.

19. Выключить схему и закрыть окно с этой схемой, ответив «Нет» на вопрос компьютера.

20. Открыть файл C14_05-4, где объектом исследований является трехразрядный синхронный суммирующий счетчик с параллельным переносом, построенный на основе TV-триггеров, полученных из JK-триггеров. Зарисовать схему ИУ.

21. Включить схему, осциллографы и ФДС. Последовательно нажимая на Step ФДС, по показаниям индикаторов и дисплея заполнить таблицу состояний счетчика и сравнить ее с таблицей 6.3 раздела «Основные положения», а по данным осциллографов построить временные диаграммы работы счетчика, как и на рис.6.15,б.

22. Выключить схему и закрыть окно с этой схемой, ответив «Нет» на вопрос компьютера.

23. Открыть файл C14_05-5, где объектом исследований является трехразрядный синхронный вычитающий счетчик с параллельным переносом, построенный на основе TV-триггеров, полученных из JK-триггеров. Зарисовать схему ИУ.

24. Включить схему, осциллографы и ФДС. Последовательно нажимая на Step ФДС, по показаниям индикаторов и дисплея заполнить таблицу состояний счетчика и сравнить ее с таблицей 6.4 раздела «Основные положения», а по данным осциллографов построить временные диаграммы работы счетчика, как и на рис.6.17,б.

25. Выключить схему и закрыть окно с этой схемой, ответив «Нет» на вопрос компьютера. Закрыть второе окно и выключить компьютер и монитор.

Содержание отчета

1. Схемы измерительных установок для исследований всех, приведенных в работе, регистров хранения и сдвига, а также,

суммирующих и вычитающих двоичных счетчиков с последовательным и параллельным переносом.

2. Отдельно, схемы исследованных двоичных счетчиков.

3. Таблицы состояний регистров хранения сдвига, а также, таблицы состояний и временные диаграммы работы исследованных суммирующих и вычитающих двоичных счетчиков.

4. Выводы.

ПРИНЯТЫЕ ОБОЗНАЧЕНИЯ

ЛЭ – логический элемент

ТИ – таблица истинности

КЦС – комбинационная цифровая схема

CD – шифратор

DC – дешифратор

MS – мультиплексор

DMS – демultipлексор

ФДС – формирователь двоичных слов

ИН – индикатор

M_2 – сумматор по модулю 2

HS – полусумматор

SM – полный одноразрядный сумматор

ЦК – цифровой компаратор

ПЦС – последовательная цифровая схема

ТС – таблица состояний

Т – одноступенчатый триггер

ТТ – двухступенчатый триггер

ИУ – измерительная установка

RG – регистр

СТ2 – счетчик

РЕКОМЕНДУЕМАЯ ЛИТЕРАТУРА

1. Евреинов Ю. Т. и др. Цифровая вычислительная техника. М.: Радио и связь, 1991.

2. Алексеенко А. Г., Шагурин И. И. Микросхемотехника. М.: Радио и связь, 1990.

3. Батушев В. А. и др. Микросхемы и их применение. М.: Радио и связь, 1983.
4. Пухальский Г. И., Новосельцева Т. Я. Цифровые устройства. СПб.: Политехника, 1996.
5. Опадчий Ю. Ф. и др. Аналоговая и цифровая электроника. М.: Горячая линия – Телеком, 1999.
6. Новиков Ю. Р. Основы цифровой схемотехники. Базовые элементы и схемы. М.: Мир, 2001.
7. Китаев Ю. В. Цифровые и микропроцессорные устройства. Учебник и задачник. <http://faculty.ifmo.ru/electron>, 2003.
8. Угрюмов Е. П. Цифровая схемотехника. СПб.: БХВ – Петербург, 2004.
9. Новожилов О. П. Основы цифровой техники. М.: Радио – Софт, 2004.
10. Гусев В. Г., Гусев Ю. М. Электроника и микропроцессорная техника. М.: Высшая школа, 2005.
11. Опадчий Ю. Ф., Плудкин О. П., Гурев А. И. Аналоговая и цифровая электроника. М.: Горячая линия – Телеком, 2003.
12. Прянишников В. А. Электроника. Полный курс лекций. СПб.: Корона принт, 2006.
13. Китаев Ю. В. Основы цифровой техники. Учебное пособие. СПб.: СПбГУ ИТМО, 2007.

СОДЕРЖАНИЕ

Введение	2
Лабораторная работа №1. Логические элементы и выполняемые ими функции.....	4
Лабораторная работа №2. Синтез комбинационных цифровых схем.....	14
Лабораторная работа №3. Типовые комбинационные цифровые схемы.....	26
Лабораторная работа №4. Сумматоры и цифровые компараторы	37
Лабораторная работа №5. Триггеры.....	44
Лабораторная работа №6. Регистры и счетчики.....	62
 Принятые сокращения.....	 83
Рекомендуемая литература	83



В 2009 году Университет стал победителем многоэтапного конкурса, в результате которого определены 12 ведущих университетов России, которым присвоена категория «Национальный исследовательский университет». Министерством образования и науки Российской Федерации была утверждена программа его развития на 2009–2018 годы. В 2011 году Университет получил наименование «Санкт-Петербургский национальный исследовательский университет информационных технологий, механики и оптики»

КАФЕДРА ЭЛЕКТРОНИКИ

Кафедра Электроники (первоначальное название “Радиотехники”) была основана в 1945 году. Первым руководителем кафедры был С.И. Зилитинкевич известный в стране и за рубежом ученый в области физической электроники и радиотехники, активный работник высшей школы, заслуженный деятель науки и техники РСФСР, доктор технических наук, профессор ЛИТМО с 1938 г., инициатор создания в ЛИТМО инженерно-физического и радиотехнического факультетов (1946 г.). С.И. Зилитинкевич заведовал кафедрой с 1945 до 1978 года. Под его научным руководством аспирантами и соискателями выполнено более 50 кандидатских диссертаций, многие его ученики стали докторами наук.

В дальнейшем, с 1978 г. по 1985 г. кафедру возглавлял к.т.н., доцент Е.К. Алахов, один из учеников С.И. Зилитинкевича.

С 1985 года по 2006 год руководителем кафедры был д.т.н., профессор В.В. Тогатов, известный специалист в области силовой электроники и приборов для измерения параметров полупроводниковых структур.

Начиная с 2006 г. кафедрой заведует д.т.н., профессор Г.Н. Лукьянов.

Основные направления кафедры связаны с разработкой приборов для лазерной и медицинской техники, приборов для измерения параметров полупроводниковых структур, а также встраиваемых цифровых и микропроцессорных устройств.

Под руководством В.В. Тогатова было разработано и изготовлено большое число приборов различного назначения:

- Измеритель параметров ультрабыстрых диодов;

- Универсальное устройство для исследования переходных процессов в силовых полупроводниковых структурах;
- Измеритель времени жизни неосновных носителей заряда в слаболегированных областях диодных, тиристорных и транзисторных структур;
- Универсальный разрядный модуль для накачки твердотельных лазеров;
- Импульсный источник токов для накачки лазерных линеек;
- Высокочастотный разрядный модуль для систем накачки твердотельных лазеров и импульсных источников света;
- Программируемый источник света для питания галогенных ламп;
- Блок управления затвором с нарушением полного внутреннего отражения;
- и много других.

На кафедре написаны и размещены на сайте ЦДО следующие материалы для дистанционного обучения (автор Ю.В. Китаев):

- Конспект лекций по дисциплине “Электроника и микропроцессорная техника”;
- свыше 600 вопросов к обучающим и аттестующим тестам;
- 18 дистанционных лабораторных и практических работ.

На кафедре имеются следующие компьютеризированные учебные лаборатории:

- АРМС – полупроводниковые приборы;
- Устройства на полупроводниковых приборах;
- Цифровая техника;
- Микропроцессорная техника
- Моделирование электронных устройств.

Заведующий кафедрой: д.т.н., проф. Г.Н. Лукьянов.

В настоящее время учебный процесс на кафедре обеспечивают профессор, д.т.н. Лукьянов Г.Н., профессор, д.т.н. Тогатов В.В., доцент, к.т.н. Белякова И.И., доцент, к.т.н. Китаев Ю.В., доцент, к.т.н. Григорьев Б.И., доцент, к.т.н. Кулагин В.С., доцент, к.т.н. Наливкин А.В., ст. преподаватель Балобей Ф.П., ст. преподаватель Васильев А.Б., асс. Мандрыко Ю.А., зав. лаб. Кутьев А.Н., доцент, к.т.н. Олехнович Р.О.

Борис Иванович Григорьев

**Элементная база и устройства цифровой
техники**

Учебное пособие (виртуальный лабораторный практикум)

В авторской редакции

Редакционно-издательский отдел НИУ ИТМО

Зав. РИО

Н.Ф. Гусарова

Лицензия ИД № 00408 от 05.11.99

Подписано к печати

Заказ №

Тираж

Отпечатано на ризографе

Редакционно-издательский отдел
Санкт-Петербургского национального
исследовательского университета
информационных технологий, механики
и оптики
197101, Санкт-Петербург, Кронверкский пр., 49



